

ASF48cfg

КОНФИГУРИРУЕМАЯ 48-КАНАЛЬНАЯ КАРТА СБОРА АНАЛОГОВОЙ ИНФОРМАЦИИ, ВЫПОЛНЕННАЯ НА ОСНОВЕ МНОГОКАНАЛЬНЫХ Flash-ADC И ПРОГРАММИРУЕМОЙ ЛОГИКИ

*В.Л. Головцов, Н.В. Грузинский, А.В. Надточий, П.В. Неустроев,
Л.Н.Уваров, С.Л. Уваров, В.И. Яцура*

Карта функционально во многом аналогична ASF48(P), однако, в зависимости от варианта Firmware загруженного в FPGA, карта может быть сконфигурирована следующим образом:

Config #	Sampling Rate	Sampling Period	ADC Resolution	Channels for Card	Comment
1	10 MHz	100 ns	12 bit	48	
2	20 MHz	50 ns	12 bit	48	
3	40 MHz	25 ns	12 bit	48	
4	50 MHz	20 ns	12 bit	48	
5	80 MHz	12.5 ns	12 bit	48	
6	100 MHz	10 ns	10 bit	48	
7	160 MHz	6.25 ns	12 bit	24	Interleave
8	200 MHz	5 ns	10 bit	24	Interleave
9	400 MHz	2.5 ns	10 bit	12	Double Interleave

В последнем случае (Double Interleave) исследуемый сигнал подается на два соседних канала по двум кабелям. При этом к нечетному каналу подводится сигнал, задержанный на 2.5 ns. В состав карты входит 48-канальный предусилитель-шейпер, выполненный на двух микросхемах ATLAS CSC ТЗАУ, разработанных в Brookhaven National Laboratory для мюонного спектрометра (Cathode Strip Chambers (CSC)) эксперимента ATLAS [1]. Предусмотрена также возможность использования альтернативной входной электроники. 48-канальный Flash ADC, выполнен на шести конфигурируемых ИС ADS5296а. Программируемая логика выполнена на ИС Spartan-6 (LX45). Карта предназначена для работы в составе системы CROS-3 [2-4]. Приведена предварительная информация о карте ASF48cfg.

Protection Circuit

Выполняет три функции:

- осуществляет подачу напряжения смещения (HV) на детектор ($R = 1000\text{k}\Omega$, $C_{\text{разд}} = 0.1\mu\text{F}$);
- защищает входы предусилителя от опасных выбросов (диоды BAV99, $R_{\text{serial}} = 10\Omega$);
- подает тестовый импульс на входы предусилителя ($C_{\text{разд}} = 1\text{pF}$).

Preamplifier- Shaper

Две микросхемы ATLAS CSC Т3АУ. ИС была разработана в Brookhaven National Laboratory для мюонного спектрометра (Cathode Strip Chambers (CSC)) эксперимента ATLAS [2]. Спецификация предусилителя ATLAS CSC Т3АУ:

Technology	0.5 μm CMOS
Channels	25
Die size	3.29 x 5.79 mm
Architecture	Single-ended
Intended C_{det}	20 – 100 pF
Input device	NMOS W/L = 5000/0.6 μm , $I_d = 4\text{ mA}$
Noise	1140 + 17.6 e-/pF
Gain	3.8 mV/fC
Max. linear charge	450 fC
Class AB Output swing	To power supply – 250 mV
Pulse shape	7 th order complex Gaussian, bipolar
Pulse peaking time, 5% - 100%	73 ns
FWHM	340 ns
Max. output loading (3% distortion)	500 Ω , 500 pF
Crosstalk	0.8% adjacent, 0.5% non-adjacent
Power supply	Single +3.3V
Power dissipation	32.5 mW / chan

25-й канал предусилителя используется в качестве источника опорного напряжения для остальных каналов.

Single Ended to Differential Adapter

Выполняет две функции:

- преобразует униполярные выходы предусилителя в дифференциальные – предпочтительные для ADC входные сигналы. Каскад выполнен на 24-х ИС Texas Instruments – THS4522 - <http://www.ti.com/lit/ds/symlink/ths4522.pdf> ;
- осуществляет необходимое масштабирование входных сигналов. Штатный коэффициент усиления – 1.5, (1.0 – при работе на частотах превышающих 80 MHz).

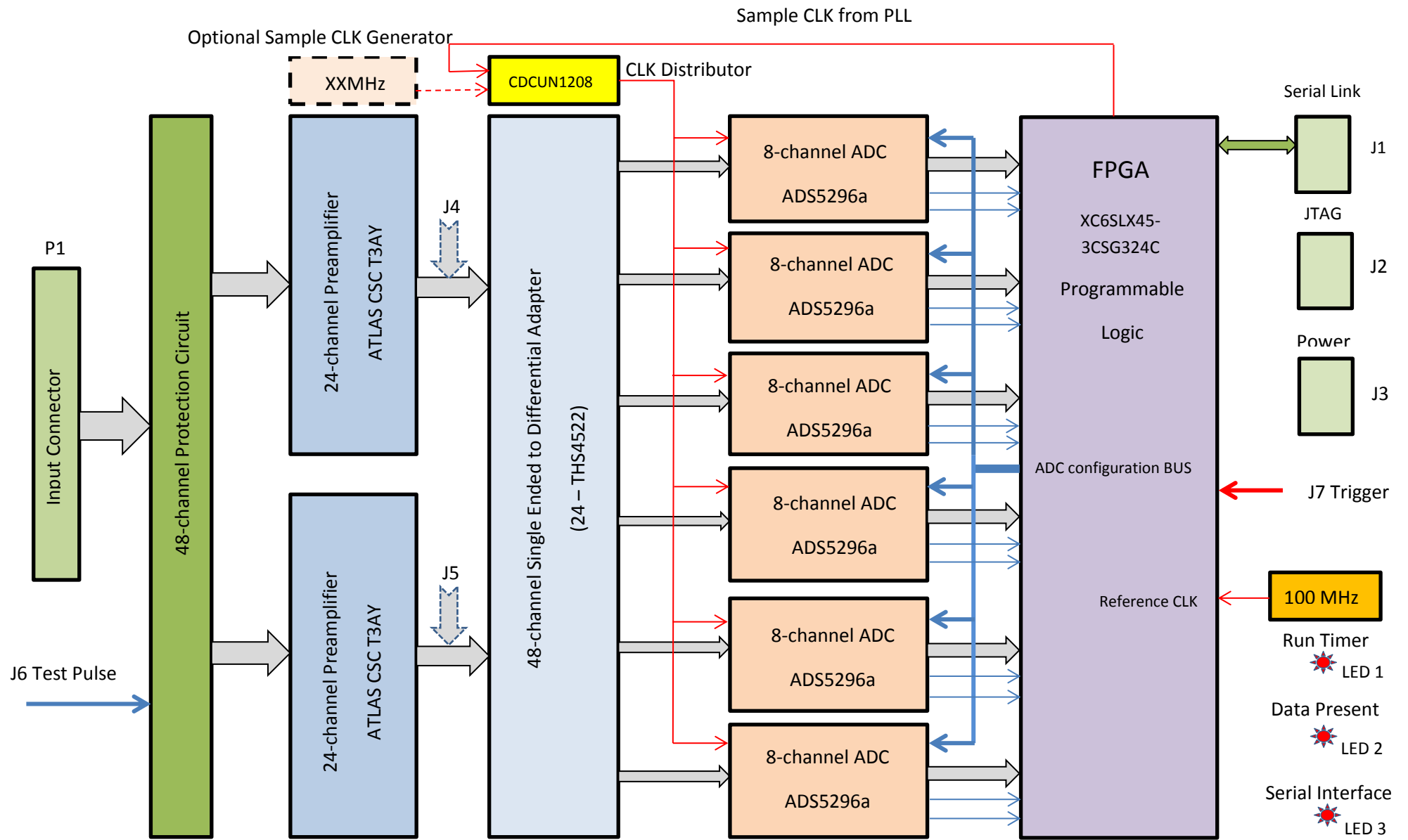
8-channel ADC (ADS5296a)-

6 ИС Texas Instruments - <http://www.ti.com/lit/ds/symlink/ads5296a.pdf> - Конфигурируемый ADC со встроенной функцией *чередования* (interleave). При относительно высокой скорости – 80-MSPS, 12-bit или 100-MSPS, 10-bit / 8-channels - ADC имеет последовательный выходной интерфейс. При этом на 8-канальный ADC требуется всего 10 выходных LVDS сигналов: 8 линий данных, DDR LCLK – (до 500 MHz) и сигнал ADCLK - FRAME (до 100 MHz) – позволяющий определять начало передачи 10/12-разрядного выходного слова. Это позволяет с одной стороны иметь компактный ADC, (менее 1см²), с другой - вводить в FPGA достаточно много каналов аналоговой информации для их совместной обработки. Скорость ввода информации по каждому из каналов составляет при этом до 1000-MBPS.

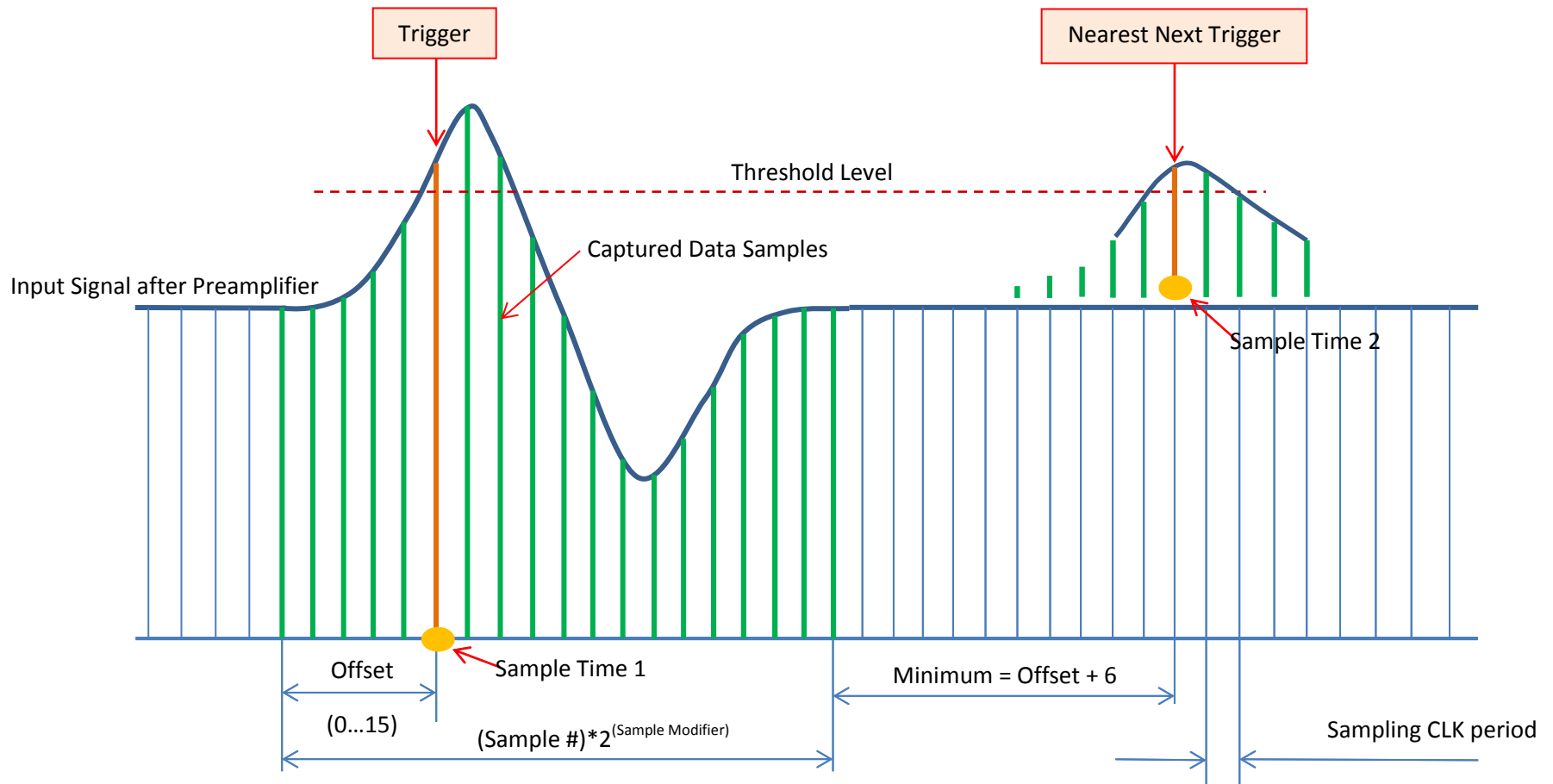
Следует иметь в виду, что поскольку ADC имеет конвейерную архитектуру внутренняя задержка ADC от момента измерения входного сигнала до момента появления первого бита результата этого измерения на выходе ADC проходит время равное 12 периодам Sampling CLK + Clock propagation delay. На передачу слова в FPGA и десериализацию требуется еще два периода Sampling CLK-а.

ADC имеет ряд внутренних конфигурационных регистров, позволяющих пользователю подстраивать ADC с учетом специфики применения. Так, например, предусмотрена генерация различных тестовых паттернов, подстройка коэффициентов усиления с шагом 1dB по каждому из каналов, программируемые цифровые фильтры и ряд других полезных возможностей. Для доступа к внутренним регистрам ADC используется ADC configuration BUS.

Sampling CLK (10...200MHz) вырабатывает PLL Spartan-6, при этом Reference CLK = 100MHz поступает с LVDS генератора расположенного непосредственно на карте. http://www.foxonline.com/pdfs/FXO_LC73.pdf Sampling CLK (10...200MHz) распределяется между ADC при помощи специальной ИС CLK Distributor-a (CDCUN1208) с использованием согласованных LVDS линий. <http://www.ti.com/lit/ds/symlink/cdcun1208lp.pdf> Для случаев особо критичных к величине фазового шума Sampling CLK-а предусмотрена возможность установки LVDS генератора, непосредственно подключенного к CLK Distributor-у.



Упрощенная структурная схема карты ASF-48cfg



Data Capture Timing (Self Trigger Mode)

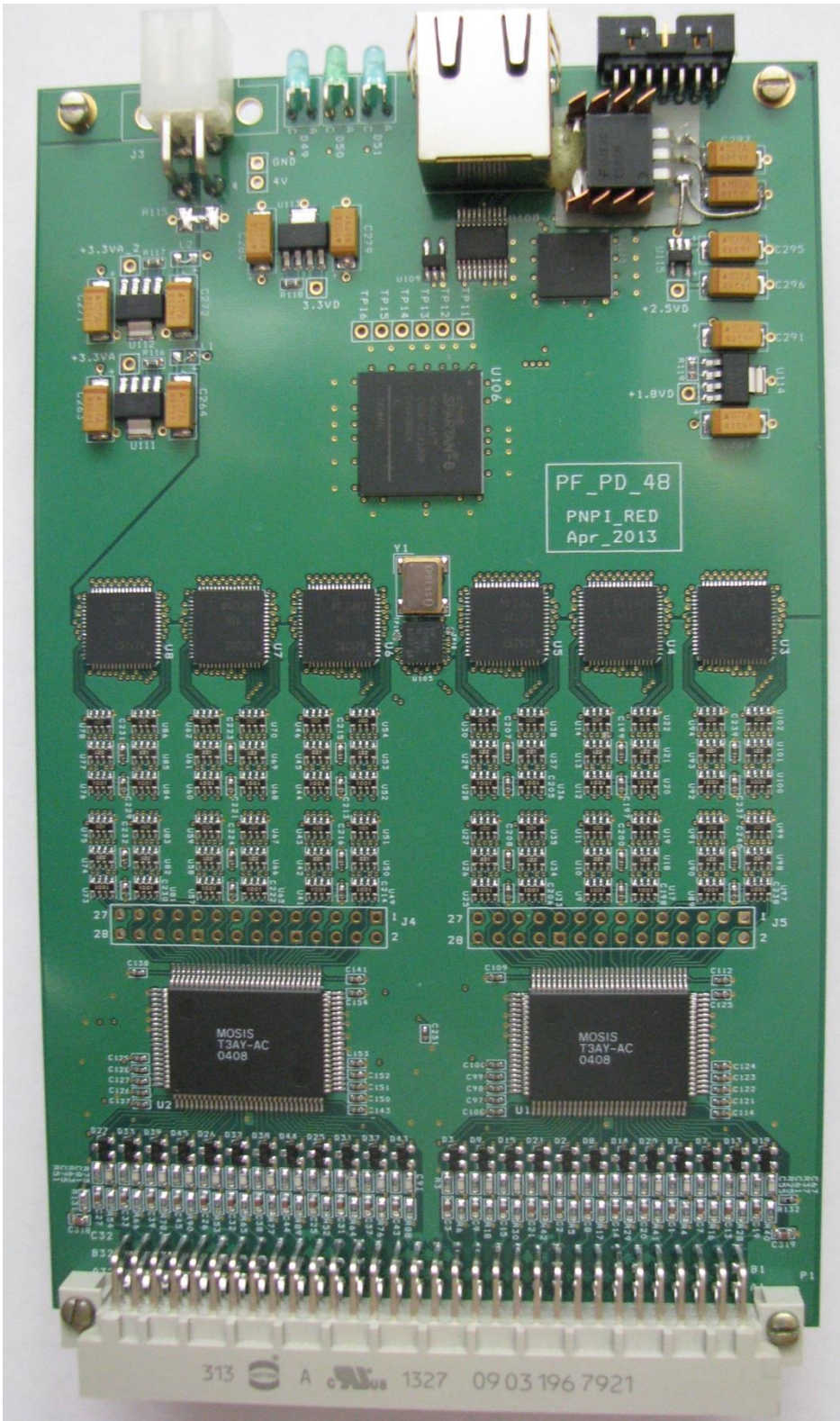
FPGA – Programmable Logic

Информация с 48 каналов ADC поступает на FPGA (XC6SLX45-3CSG324C) со скоростью до 1000MBPS на канал. http://www.xilinx.com/support/documentation/data_sheets/ds160.pdf Для того чтобы принимать данные с такой скоростью необходимы специальные аппаратные средства. FPGA Spartan-6 имеют встроенные средства сериализации/десериализации, которые позволяют, (при использовании дифференциальных LVDS входов), десериализовать входные слова длиной до 8 бит. http://www.xilinx.com/support/documentation/application_notes/xapp1064.pdf В нашем случае необходимо десериализовать слова длиной 10/12 бит, поэтому принята схема десериализации в два этапа: на первом этапе входные данные десериализуются штатными средствами десериализации в параллельные 5/6-битные слова, при этом сигналы линий FRAME десериализуются как дополнительные шины данных. Параллельные 5/6-битные слова следуют с частотой до 200 MHz - приемлемой для программируемой логики. На втором этапе происходит объединение 5/6-битных слов в 10/12-битные. При этом для обеспечения должной синхронизации используется информация, получаемая по каналам FRAME. При использовании вариантов конфигурации № 7 и 8 (Sampling Rate = 160 или 200 MHz) применяется специальный режим *чередования* (Interleave), поддерживаемый ADC. При этом на один канал данных приходится два канала ADC, для четных и нечетных отсчетов соответственно и общее число каналов сокращается до 24. При использовании варианта конфигурации № 9 (Sampling Rate = 400MHz, Double Interleave) на один канал данных приходится четыре канала ADC, в этом случае исследуемый сигнал подается на два соседних канала по двум кабелям. При этом к нечетному каналу подводится сигнал, задержанный на 2.5 ns, а общее число каналов сокращается до 12.

Каждому ADC соответствует своя группа десериализации и соответственно каждая из этих 8-канальных групп использует собственный CLK. Это связано с тем, что хотя все ADC используют общий Sampling CLK, производитель ADC приводит достаточно большой разброс Clock Propagation Delay, который может варьироваться от чипа к чипу в пределах ± 2 ns, что совершенно неприемлемо для скорости 1000MBPS - (1.0 ns/bit). Поэтому каждый ADC имеет свою группу CLKов. Таким образом, после десериализации существует 48 параллельных 10/12-битных каналов данных, разбитых на 6 групп по 8 каналов каждая. При этом каждая из групп обслуживается собственным Clock-ом, ассоциированным с конкретным ADC. После десериализации делается ретайминг поступающих данных на общий Data CLK и (если требуется) объединение каналов (Interleave) в соответствии с загруженной конфигурацией.

После десериализации (и объединения) данные в каждом из каналов поступают в два места: на PIPELINE, глубиной в 21 слово и на цифровой дискриминатор. Дискриминатор сравнивает текущее слово с соответствующим порогом и если слово превышает порог и (если Self Trigger разрешен) вырабатывает триггер по данному каналу. Триггер запускает последовательность действий в результате которой в соответствующее данному каналу L1 FIFO помещается соответствующий Event – **Overflow**, **Sample Time** и соответствующее кол-во **Data Words**. (См. ниже описание **Output Data Format**) Какие именно **Data Words** попадут в L1 FIFO, определяется мультиплексором, подключенным к PIPELINE и управляемым регистром **Offset[3:0]**. Количество **Data Words**, помещаемых в L1 FIFO, определяется регистром **Sample # [4:0]** совместно с полем **Sample Modifier [2:0]**. Таким образом, функционируют все каналы, независимо один от другого. Кроме того, каждый канал имеет регистр **Sampling Mode [1:0]**, который определяет период регистрации данных в данном канале. Это позволяет подключать к одной карте разнородные детекторы, существенно отличающиеся по скорости. (Эта опция не поддерживается в конфигурационных модах № 7, 8 и 9 - Interleave и Double Intrlleave).

L1 FIFO (1k слов – конфигурационные моды 1...6; 2k – моды 7, 8; 4k - мода 9) - представляют собой синхронные FIFO с независимыми Read/Write CLK-s. Со стороны записи они управляется общим Data CLK-ом, контролирующим поток входных данных. Со стороны чтения все 48/24/12 L1 FIFO-s управляются CLK-ом = 100MHz, поступающим с концентратора и контролирующим процесс считывания данных. Для повышения скорости сбора данных все 48/24/12 L1 FIFO по выходу разбиты на 2 группы по 24/12/6 L1 FIFO. В каждой из этих групп организован процесс перегрузки данных из L1 FIFO-s в L2 FIFO, при этом к каждому Event-у добавляется **HEADER**, содержащий **Channel #, Card #** и **Sample #**. Перегрузка начинается, если хотя бы в одном L1 FIFO содержится информация. Перегрузка останавливается, если в L2 FIFO оказывается недостаточно места для очередного Event-а, либо если L1 FIFO-s не содержат более информации. Суммарная скорость перегрузки по двум параллельным каналам составляет 5 ns на слово. Каждое из двух L2 FIFO-s имеет емкость 8k слов. С точки зрения пользователя оба эти L2 FIFO-s выглядят как одно L2 FIFO емкостью 16k 16-разрядных слов. Передача собранной информации на концентратор (Host Computer) осуществляется по инициативе программы пользователя с использованием команды **0x03 - Soft Trigger**.



Внешний вид прототипа карты ASF48(P)

Power Connector

- J3 - Connector type – Molex 35318 – 0420
- Power requirement:
+3.8V (-0% +5%), 2.7A;
HV - Напряжение смещения детектора;
- Pin assignment:

AGND	1	2	GND
HV	3	4	+3.8V

JTAG Connector

- J2 – Connector type – Molex 87833-1420
- Pin assignment:

GND	1	2	+2.5V
GND	3	4	TMS
GND	5	6	TCK
GND	7	8	TDO
GND	9	10	TDI
GND	11	12	n/a
GND	13	14	n/a

Serial Interface Connector

- J1 – Connector type – RJ45 Jack for Category 5 shielded cable
- Signal Levels: LVDS;
- Signals:
SCLK_RX – Serial Clock, input, 100MHz. Синхронизирует прием и передачу данных;
SDAT_RX – Serial Data, input. Линия передачи данных и команд на карту;
HRES_RX – Hard Reset, input, reloads FPGA from configuration PROM;
SDAT_TX – Serial Data, output. Линия передачи данных на концентратор.
- Pin assignment:

Input	SCLK_RX -	1	2	SCLK_RX +
Input	SDAT_RX -	3	6	SDAT_RX +
Input	HRES_RX -	5	4	HRES_RX +
Output	SDAT_TX -	7	8	SDAT_TX +

Оптические Индикаторы –

- LED1 – “Run Timer” - Мигает с частотой 3Гц, если Run Timer активен;
- LED2 – “Data Present” – Горит, если карта содержит непрочитанные данные;
- LED3 – “Serial Interface” – Вспыхивает либо в момент обращения к карте по последовательному интерфейсу либо в момент передачи данных на концентратор.

Optional Connectors (J4, J5)

Штатно не устанавливаются. Могут быть использованы для подключения мезонинной карты с альтернативной входной электроникой.

- Pin assignment:

Connector	Signal Config 9	Signal Config 7, 8	Signal Config 1..6	Pin J4, J5	Pin J4, J5	Signal Config 1..6	Signal Config 7, 8	Signal Config 9
J5	+3.3VA	+3.3VA	+3.3VA	1	2	PA1_REF	PA1_REF	PA1_REF
	Chann 00 _d	Chann 01	Channel 02	3	4	Channel 03		
	Chann 00	Chann 00	Channel 00	5	6	Channel 01		
	Chann 01 _d	Chann 03	Channel 06	7	8	Channel 07		
	Chann 01	Chann 02	Channel 04	9	10	Channel 05		
	Chann 02 _d	Chann 05	Channel 10	11	12	Channel 11		
	Chann 02	Chann 04	Channel 08	13	14	Channel 09		
	Chann 03 _d	Chann 07	Channel 14	15	16	Channel 15		
	Chann 03	Chann 06	Channel 12	17	18	Channel 13		
	Chann 04 _d	Chann 09	Channel 18	19	20	Channel 19		
	Chann 04	Chann 08	Channel 16	21	22	Channel 17		
	Chann 05 _d	Chann 11	Channel 22	23	24	Channel 23		
	Chann 05	Chann 10	Channel 20	25	26	Channel 21		
AGND	AGND	AGND	27	28	AGND	AGND	AGND	
J4	+3.3VA	+3.3VA	+3.3VA	1	2	PA2_REF	PA2_REF	PA2_REF
	Chann 06 _d	Chann 13	Channel 26	3	4	Channel 27		
	Chann 06	Chann 12	Channel 24	5	6	Channel 25		
	Chann 07 _d	Chann 15	Channel 30	7	8	Channel 31		
	Chann 07	Chann 14	Channel 28	9	10	Channel 29		
	Chann 08 _d	Chann 17	Channel 34	11	12	Channel 35		
	Chann 08	Chann 16	Channel 32	13	14	Channel 33		
	Chann 09 _d	Chann 19	Channel 38	15	16	Channel 39		
	Chann 09	Chann 18	Channel 36	17	18	Channel 37		
	Chann 10 _d	Chann 21	Channel 42	19	20	Channel 43		
	Chann 10	Chann 20	Channel 40	21	22	Channel 41		
	Chann 11 _d	Chann 23	Channel 46	23	24	Channel 47		
	Chann 11	Chann 22	Channel 44	25	26	Channel 45		
AGND	AGND	AGND	27	28	AGND	AGND	AGND	

Chann 00 – вход сигнала канала 00

Chann 00_d – вход сигнала канала 00, задержанный на 2.5 ns

Input Connector

- P1 – Connector type – 96POS R/Angle 3 Rows;
- Pin assignment:

signal	pin	Signal Config 1...6	pin	Signal Config1...6	pin	Signal Config 7, 8	Signal Config 9
AGND	A32	AGND	B32	AGND	C32	AGND	AGND
AGND	A31	Chan 45	B31	Chan 44	C31	Chan 22	Chan 11
AGND	A30	Chan 47	B30	Chan 46	C30	Chan 23	Chan 11 _{del}
AGND	A29	Chan 41	B29	Chan 40	C29	Chan 20	Chan 10
AGND	A28	Chan 43	B28	Chan 42	C28	Chan 21	Chan 10 _{del}
AGND	A27	AGND	B27	AGND	C27	AGND	AGND
AGND	A26	Chan 37	B26	Chan 36	C26	Chan 18	Chan 9
AGND	A25	Chan 39	B25	Chan 38	C25	Chan 19	Chan 9 _{del}
AGND	A24	Chan 33	B24	Chan 32	C24	Chan 16	Chan 8
AGND	A23	Chan 35	B23	Chan 34	C23	Chan 17	Chan 8 _{del}
AGND	A22	AGND	B22	AGND	C22	AGND	AGND
AGND	A21	Chan 29	B21	Chan 28	C21	Chan 14	Chan 7
AGND	A20	Chan 31	B20	Chan 30	C20	Chan 15	Chan 7 _{del}
AGND	A19	Chan 25	B19	Chan 24	C19	Chan 12	Chan 6
AGND	A18	Chan 27	B18	Chan 26	C18	Chan 13	Chan 6 _{del}
AGND	A17	AGND	B17	AGND	C17	AGND	AGND
AGND	A16	AGND	B16	AGND	C16	AGND	AGND
AGND	A15	Chan 21	B15	Chan 20	C15	Chan 10	Chan 5
AGND	A14	Chan 23	B14	Chan 22	C14	Chan 11	Chan 5 _{del}
AGND	A13	Chan 17	B13	Chan 16	C13	Chan 8	Chan 4
AGND	A12	Chan 19	B12	Chan 18	C12	Chan 9	Chan 4 _{del}
AGND	A11	AGND	B11	AGND	C11	AGND	AGND
AGND	A10	Chan 13	B10	Chan 12	C10	Chan 6	Chan 3
AGND	A9	Chan 15	B9	Chan 14	C9	Chan 7	Chan 3 _{del}
AGND	A8	Chan 9	B8	Chan 8	C8	Chan 4	Chan 2
AGND	A7	Chan 11	B7	Chan 10	C7	Chan 5	Chan 2 _{del}
AGND	A6	AGND	B6	AGND	C6	AGND	AGND
AGND	A5	Chan 5	B5	Chan 4	C5	Chan 2	Chan 1
AGND	A4	Chan 7	B4	Chan 6	C4	Chan 3	Chan 1 _{del}
AGND	A3	Chan 1	B3	Chan 0	C3	Chan 0	Chan 0
AGND	A2	Chan 3	B2	Chan 2	C2	Chan 1	Chan 0 _{del}
AGND	A1	AGND	B1	AGND	C1	AGND	AGND
signal	pin	signal	pin	signal	pin	Signal M 7, 8	Signal M 9

Chan 0 – вход сигнала канала 00

Chan 0_{del} - вход сигнала канала 00, задержанный на 2.5 ns

Последовательный интерфейс

Карта предназначена для работы в составе системы CROS-3 [2-4] и имеет соответствующий интерфейс для подключения к концентратору.

<http://hepd.pnpi.spb.ru/hepd/red/products/CROS3.html>

Данные и команды передаются на карту по последовательному интерфейсу (SDAT_RX, SCLK_RX). Существует два типа команд – короткие (4 бита – 40 ns) и длинные (36 бит – 360 ns). Тип команды определяется по полю Mode. Формат короткой команды:

Command	Start	Mode		Stop
Trigger	1	0	0	0
Hold	1	0	1	0
Resume	1	1	0	0

Эта группа команд представляет так называемые аппаратные команды. Команда Trigger аналогична по действию команде 0x03 – Soft Trigger, только поступает она со специального разъема на PCI карте. Команды Hold и Resume – специальные аппаратные команды, которые вырабатывает концентратор для управления скоростью поступления данных. Получив команду Hold, карта задерживает начало передачи следующего слова данных вплоть до получения команды Resume.

Формат длинной команды:

Data Type	Start	Mode		Data [D31...D0]							Stop		
Command to Card	1	1	1	D31	D30	D29	D28	...	D3	D2	D1	D0	0

Формат поля данных:

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
ASTR	0	RD	CCBS	DEVA[3:0]				REGA[7:0]							
				Device Address				Register Address							

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WD[15:0]															
Write Data															

Где:

- ASTR – Строб Адреса – должен быть всегда установлен в 1, если адресуется CROS-3 Card;
- RD = 1/0 – Read/Write bit;
- CCBS – CCB16-B (Top Level Concentrator) Select;
- DEVA[3:0] = 0...15 – Device Address;
- BRNS – D[23] – Не используется, поле REGA[7:0] включает 8 бит;
- REGA[7:0] – Register Address;
- WD[15:0] – Write Data; for Read commands this field is “don't care”.

Данные на концентратор передаются по последовательному интерфейсу (SDAT_TX , SCLK_RX). Существует два формата передачи: Receipt/Read Format и Readout Data Format. Тип формата определяется полем Mode.

Receipt/Read to concentrator Format

Data Type	Start	Mode	Receipt Data D31...D0]	Stop
Receipt to concentrator	1	1 1	D31 D30 D29 D28 . . . D3 D2 D1 D0	0

Receipt/Read Data Format

D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16
AACK	AERR	RDR	CCBSR	DEVAR[3:0]				REGAR[7:0]							
				Device Address Receipt				Register Address Receipt							

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
RD / WDR															
Read Data / Write Data Receipt															

Here:

- AACK – Address Acknowledge bit:
If set to 1, the command has been accepted by the Device;
If set to 0, the command has been rejected by the Device;
- AERR – Address Error bit;
If set to 1, it means non-existent Register Address. In this case AACK = 0;
- REGAR[7:0] = 0...255 - Register Address Receipt: echo of the REGA field in the received command;
- RDR – Read Signal Receipt: echo of the RD bit in the received command;
- DEVAR – Device Receipt: echo of the DEVA field in the received command;
- RD/WDR – echo for Write Data for Write Commands, Read Data for read commands.

Readout Data Frame Format

Data Type	Start	Mode	Readout Data [15...0]	Stop
Readout Data Frame	1	0 1	D15 D14 D13 D12 . . . D3 D2 D1 D0	0
Last Readout Data Frame	1	1 0	D15 D14 D13 D12 . . . D3 D2 D1 D0	0

Readout Data Format (Output Data Format) описан ниже. Скорость передачи 200 ns / word.

Broadcast Commands

0x00 – Reset command

Автоматически вырабатывается через 20 msec после конфигурирования FPGA (при наличии `sclk_rx = 100MHz`, поступающего с концентратора). Сбрасывает все внутренние регистры ADC-s (to default), кроме регистров 0x07 и 0x46, в которые загружается информация, соответствующая принятой конфигурации – (Enables interleaving of adjacent channel pairs, 10-bit/12-bit serialization mode). <http://www.ti.com/lit/ds/symlink/ads5296a.pdf> Сбрасывает в 0 Run Timer, ADC Configuration State Machine, Data Deserializer. Поле данных данной команды игнорируется.

0x02 – Test Command

При наличии разрешения (`STATUS REGISTER 0 [13] = 1`) вырабатывает Test Pulse который после формирования, поступает на все 48/24/12 входов предусилителя ($C = 1pF$). Поле данных данной команды игнорируется.

0x03 – Soft Trigger Command

Команда двойного назначения. (1) – инициирует передачу данных на компьютер. Передается **Device HEADER** + целое число **Events** в пределах заказанного буфера. Если данные отсутствуют, то передается только **Device HEADER**. **Trigger Counter** модифицируется на +1. (2) - При наличии разрешения (`STATUS REGISTER 0 [15] = 1`) и `RUN=1` является триггером для всех 48/24/12 каналов карты и инициирует передачу данных на компьютер. Поле данных данной команды игнорируется.

0x05 – Clear Command

Чистит все внутренние FIFO, Readout, **Trigger Counter**, признаки ошибок – **Format Error, Invalid Data** и т.п. Поле данных данной команды игнорируется.

0x06 – Start Run Command

Устанавливает `RUN = 1` (Data Taking Mode), при этом разрешается прием триггеров и включается счет **Run Timer**-а. **Run Timer** представляет собой двоичный 44-битный счетчик. Скорость счета - 100MHz, время переполнения около 2 суток. В момент получения триггера текущее значение **Run Timer**-а сбрасывается и включается в данный **Event**. **Run Timer**-ы на всех картах, включенных в Data Taking работают синхронно. Поле данных данной команды игнорируется.

0x07 – Stop Run Command

Устанавливает `RUN = 0`, при этом запрещается прием триггеров и останавливается счет **Run Timer**-а. При этом **Run Timer** сохраняет свое значение. Поле данных данной команды игнорируется.

0x08 – Reset Timer Command

Сбрасывает Run Timer в 0. Поле данных данной команды игнорируется.

0x09 – Reserved Command

0x0A – Reserved Command

0x0F – Initialize Command

Команда используется для инициализации последовательных портов. Данная команда является единственной среди широковещательных (broadcasting) команд, которая сопровождается квитанцией (Command Receipt). Поле данных данной команды игнорируется. В момент обращения с этой командой во внутренний регистр карты автоматически загружается номер разъема концентратора к которому подключена эта карта (0x0 ... 0xF). Содержимое этого регистра является номером карты. После включения питания, до обращения с командой Initialize, в нем содержится 0x0. Поэтому, после включения питания необходимо обратиться с командой Initialize.

Single-Target Control/Status Registers

0x70 – Control Status Register 0 (Read/Write)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Trigger mode		S1	S0	Offset[3:0] (0... .15)				Sample Modifier[2:0]			Sample #[4:0] (1... .31)				

- **Sample # [4:0]** – Совместно с полем **Sample Modifier** определяет количество отсчетов на триггер. Диапазон допустимых значений = 1...31;
- **Sample Modifier[2:0]** - Совместно с полем **Sample** определяет количество отсчетов на триггер:

Sample Modifier	Sample #	Количество отсчетов на триггер (Config= 1...6)	Захватываемое время (Sampling rate 10...100 ns)
000	1, 2, 3,... 30, 31	1, 2, 3, 4, ... 29, 30, 31	310...3100 ns
001	1, 2, 3,... 30, 31	2, 4, 6, 8, ... 56, 58, 60, 62	620...6200 ns
010	1, 2, 3,... 30, 31	4, 8, 12, 16, ... 112, 116, 120, 124	1240...12400 ns
011	1, 2, 3,... 30, 31	8, 16, 24, 32, ... 224, 232, 240, 248	2480...24800 ns
100	1, 2, 3,... 30, 31	16, 32, 48, 64, ... 448, 464, 480, 496	4960...49600 ns
101	1, 2, 3,... 30, 31	32, 64, 96, 128, ... 896, 928, 960, 992	9920...99200 ns
110	1, 2, 3,... 30, 31	Зарезервировано на будущее	
111	1, 2, 3,... 30, 31	Зарезервировано на будущее	

Для Config = 1...6 количество отсчетов на триггер = $((\text{Sample \#}) * 2^{(\text{Sample Modifier})})$

Для Config = 7 и 8 (Interleave) может быть принято только четное количество отсчетов – 2, 4, 6, 8... Это связано с тем, что в этом случае на один входной канал работают два канала ADC, обеспечивая четные и нечетные отсчеты соответственно:

Sample Modifier	Sample #	Количество отсчетов на триггер (Config = 7 и 8, Interleave)	Захватываемое время (Sampling rate 5...6.25 ns)
000	1, 2, 3,... 30, 31	2, 4, 6, 8, ... 56, 58, 60, 62	310...387.5 ns
001	1, 2, 3,... 30, 31	2, 4, 6, 8, ... 56, 58, 60, 62	310...387.5 ns
010	1, 2, 3,... 30, 31	4, 8, 12, 16, ... 112, 116, 120, 124	620...775 ns
011	1, 2, 3,... 30, 31	8, 16, 24, 32, ... 224, 232, 240, 248	1240...1550 ns
100	1, 2, 3,... 30, 31	16, 32, 48, 64, ... 448, 464, 480, 496	2480...3100 ns
101	1, 2, 3,... 30, 31	32, 64, 96, 128, ... 896, 928, 960, 992	4960...6200 ns
110	1, 2, 3,... 30, 31	Зарезервировано на будущее	
111	1, 2, 3,... 30, 31	Зарезервировано на будущее	

Для Config = 9 (Double Interleave) может быть принято только количество отсчетов кратное четырем – 4, 8, 12, 16, ... Это связано с тем, что в этом случае на один входной канал работают четыре канала ADC, обеспечивая последовательные группы из четырех отсчетов:

Sample Modifier	Sample #	Количество отсчетов на триггер (Config = 9, Double Interleave)	Захватываемое время (Sampling rate 2.5 ns)
000	1, 2, 3,... 30, 31	4, 8, 12, 16, ... 112, 116, 120, 124	310 ns
001	1, 2, 3,... 30, 31	4, 8, 12, 16, ... 112, 116, 120, 124	310 ns
010	1, 2, 3,... 30, 31	4, 8, 12, 16, ... 112, 116, 120, 124	310 ns
011	1, 2, 3,... 30, 31	8, 16, 24, 32, ... 224, 232, 240, 248	620 ns
100	1, 2, 3,... 30, 31	16, 32, 48, 64, ... 448, 464, 480, 496	1240 ns
101	1, 2, 3,... 30, 31	32, 64, 96, 128, ... 896, 928, 960, 992	2480 ns
110	1, 2, 3,... 30, 31	Зарезервировано на будущее	
111	1, 2, 3,... 30, 31	Зарезервировано на будущее	

- **Offset [3:0]** - Определяет количество отсчетов, которые предшествуют триггеру. Диапазон допустимых значений – (0...15):
 - Для Config = 1...6 число отсчетов предшествующих триггеру равно значению **Offset** = (0, 1, 2, 3,... 15) ;
 - Для Config = 7...8 число отсчетов предшествующих триггеру равно значению **(Offset *2)** = (0, 2, 4, 6, 8, ... 30);
 - Для Config = 9 число отсчетов предшествующих триггеру равно значению **(Offset *4)** = (0, 4, 8, 12, 16, ... 60).
- **S0** – Зарезервирован на будущее;
- **S1** – Test Pulse Enable (when S1 = 1);
- **Trigger mode[1:0]** :
 - a) 00 – No triggers;
 - b) 01 – Self trigger only;
 - c) 10 – External trigger only;
 - d) 11 – Self or external triggers.

0x71 – Status Register 1 (Read Only)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Format Error	Invalid Data	Read Data Counter[13:0]													

- **Read Data Counter[13:0]** – Показывает число слов данных находящихся в L2 FIFO и подлежащих передаче на компьютер. Этот счетчик содержит информацию о количестве слов готовых к передаче на компьютер на момент считывания. Следует иметь в виду, что если считывание производится во время Data Taking-а (а это нормальный режим), то поскольку значение счетчика меняется (увеличивается по мере поступления новых данных) его можно использовать только как ориентировочное, например, для оценки скорости поступления данных и настройки режима считывания. Размер Event-а хранящегося в памяти карты и ожидающего передачи на компьютер может быть определен как $((\text{Sample \#}) * 2^{(\text{Sample Modifier})} + 4) = (\text{Число Data Words} + 4)$.
- **Invalid Data** – Устанавливается, если в процессе считывания были обнаружены некорректные данные. Сбрасывается командой 0x05 – Clear;
- **Format Error** - Устанавливается, если в процессе считывания был обнаружен некорректный формат данных. Сбрасывается командой 0x05 – Clear.

0x13 – Card Type / Firmware Identifier (Read Only)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
YY [3:0]				MM [3:0]				CT [2:0]			DD [4:0]				
Year				Month				Card Type			Day				

YY [3:0] – 0... 15 – Year code;

MM [3:0] – 1... 12 – Month code;

DD [4:0] – 1... 31 – Day code;

CT [2:0] – 0... 7 - Card Type:

- **CT = 0** – CCB16-B;
- **CT = 1** – CCB10-B;
- **CT = 4** – ADF4-L;
- **CT = 5** – Hardware platform ASF48(P)
- **CT = 6** – Hardware platform ASF48cfg

0x72 – Control Status Register 2 (Read/Write [2:0], Read Only [15:8])

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Firm ware Base Version				Firm ware Modifier				Reserved				Buffer Size			

Buffer Size [2:0] – Определяет максимальный размер выходного буфера при передаче данных на концентратор:

- 0 – Нет ограничений;
- 1 – Максимальный буфер – 1024 слова (default);
- 2 – Максимальный буфер – 2048 слов;
- 3 – Максимальный буфер – 4096 слов;
- 4 – Максимальный буфер – 8192 слова;
- 5 – Максимальный буфер – 16384 слова;
- 6, 7 - Максимальный буфер – 32768 слов.

For CT = 5 – Hardware platform ASF48(P)

Firm ware Base Version [3:0] – Базовая версия Firmware для данной аппаратной платформы:

- 1 – ASF48(P) - Версия ориентированная на работу в режиме самозапуска.
- 2 – ASF48sc - Версия ориентированная на работу с внешним триггером.

For CT = 6 – Hardware platform ASF48cf g

Firm ware Base Version [3:0] – Базовая версия Firmware для данной аппаратной платформы:

- 1 – 10 MHz, 12-bit, 48-channels;
- 2 – 20 MHz, 12-bit, 48-channels;
- 3 – 40 MHz, 12-bit, 48-channels;
- 4 – 50 MHz, 12-bit, 48-channels;
- 5 – 80 MHz, 12-bit, 48-channels;
- 6 – 100 MHz, 10-bit, 48-channels;
- 7 – 160 MHz, 12-bit, 24-channels (Interleave);
- 8 – 200 MHz, 10-bit, 24-channels (Interleave);
- 9 – 400 MHz, 10-bit, 12-channels (Double Interleave);

Firm ware Modifier [3:0] = 0 – Зарезервирован на будущее, для обозначения редакций Firmware, в рамках базовой версии.

0x40... 0x6F – 48 Threshold – Control Status Registers (Read/Write)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Master Save		Sampling Mode		Threshold[11:0]											

0x40 – Соответствует каналу 0; ... 0x6F – Соответствует каналу 47 (Config = 1...6)

0x40 – Соответствует каналу 0; ... 0x57 – Соответствует каналу 23 (Config = 7, 8)

0x40 – Соответствует каналу 0; ... 0x4B – Соответствует каналу 11 (Config = 9)

- **Threshold [11:0]** - Порог соответствующего канала; (Config = 1...5, 7)
- **Threshold [9:0]** - Порог соответствующего канала; (Config = 6, 8, 9)
- **Sampling Mode [1:0]** – Регистр, который определяет период регистрации данных в соответствующем канале. Обратим внимание на то, что общее количество зарегистрированных данных (Data Words) в данном канале и отсчетов предшествующих триггеру (Offset) остается без изменения и соответственно в 2, 4, или в 8 раз увеличивается период времени, захватываемый одним событием. Данный режим не поддерживается при Config = 7, 8, 9 (Interleave, Double Interleave). Предполагается, что данный режим может использоваться, например, при необходимости подключения к одной карте разнородных детекторов, существенно отличающихся по скорости:

Sampling Mode	Период регистрации входных данных в данном канале
00	Sampling Rate
01	Sampling Rate / 2
10	Sampling Rate / 4
11	Sampling Rate / 8

- **Master Slave Mode [1:0]** – Этот регистр определяет режим запуска канала:

Master Slave Mode	Режим запуска соответствующего канала
00	Канал запускается независимо от других при входном сигнале, превышающем порог
01	Slave – Канал автоматически запускается при запуске канал-(а)(ов) обозначенных как Master. Возможность независимого запуска сохраняется
10	Master - Канал запускается независимо от других при входном сигнале, превышающем порог и запускает все каналы, обозначенные как Slave
11	Комбинация зарезервирована на будущее

Отметим, что любое количество каналов может быть обозначено как Master или Slave. Один и тот же канал не может быть и Master и Slave одновременно.

Соответствие номера входного канала (0...47), адреса соответствующего ему порога (threshold address – 0x40, 0x41,..., 0x6E,0x6D), канала ADC и соответствующего им контакта на входном разъеме (C3, B3,..., C30, B30) показано в таблице. Таблица соответствует Config = 1...6.

Обратим внимание, что максимально возможное значение порога составляет 0xFFF. Входной сигнал не может превысить это значение и, следовательно, по данному каналу триггер вырабатываться не будет. Таким образом, если есть необходимость «закрыть» какой-то канал, то достаточно в соответствующий ему порог загрузить 0xFFF. После включения питания во все регистры порогов загружена величина 0xFFF, т. е. все каналы «закрываются», поэтому перед началом работы пользователь должен загрузить рабочие пороги.

Chan	Thres	ADC		In	Chan	Thres	ADC		In
#	Addr	#	Chan	Conn	#	Addr	#	Chan	Conn
0	0x40	1	1	C3	24	0x58	4	1	C19
1	0x41		2	B3	25	0x59		2	B19
2	0x42		3	C2	26	0x5A		3	C18
3	0x43		4	B3	27	0x5B		4	B18
4	0x44		5	C5	28	0x5C		5	C21
5	0x45		6	B5	29	0x5D		6	B21
6	0x46		7	C4	30	0x5E		7	C20
7	0x47		8	B4	31	0x5F		8	B20
8	0x48	2	1	C8	32	0x60	5	1	C24
9	0x49		2	B8	33	0x61		2	B24
10	0x4A		3	C7	34	0x62		3	C23
11	0x4B		4	B7	35	0x63		4	B23
12	0x4C		5	C10	36	0x64		5	C26
13	0x4D		6	B10	37	0x65		6	B26
14	0x4E		7	C9	38	0x66		7	C25
15	0x4F		8	B9	39	0x67		8	B25
16	0x50	3	1	C13	40	0x68	6	1	C29
17	0x51		2	B13	41	0x69		2	B29
18	0x52		3	C12	42	0x6A		3	C28
19	0x53		4	B12	43	0x6B		4	B28
20	0x54		5	C15	44	0x6C		5	C31
21	0x55		6	B15	45	0x6D		6	B31
22	0x56		7	C14	46	0x6E		7	C30
23	0x57		8	B14	47	0x6F		8	B30

0x80... 0xDD – 96 Internal ADC Registers (Write Only)

Соответствие адресов внутренних регистров ADC адресному пространству карты ASF48cfg:

ADC register address	ADC 1 host register address	ADC 2 host register address	ADC 3 host register address	ADC 4 host register address	ADC 5 host register address	ADC 6 host register address
0x00	0x80	0x90	0xA0	0xB0	0xC0	0xD0
0x07	0x81	0x91	0xA1	0xB1	0xC1	0xD1
0x14	0x82	0x92	0xA2	0xB2	0xC2	0xD2
0x2E	0x83	0x93	0xA3	0xB3	0xC3	0xD3
0x2F	0x84	0x94	0xA4	0xB4	0xC4	0xD4
0x30	0x85	0x95	0xA5	0xB5	0xC5	0xD5
0x31	0x86	0x96	0xA6	0xB6	0xC6	0xD6
0x32	0x87	0x97	0xA7	0xB7	0xC7	0xD7
0x33	0x88	0x98	0xA8	0xB8	0xC8	0xD8
0x2A	0x89	0x99	0xA9	0xB9	0xC9	0xD9
0x2B	0x8A	0x9A	0xAA	0xBA	0xCA	0xDA
0x34	0x8B	0x9B	0xAB	0xBB	0xCB	0xDB
0x35	0x8C	0x9C	0xAC	0xBC	0xCC	0xDC
0x38	0x8D	0x9D	0xAD	0xBD	0xCD	0xDD
0x40	0x8E	0x9E	0xAE	0xBE	0xCE	0xDE
0x46	0x8F	0x9F	0xAF	0xBF	0xCF	0xDF

Внутренние конфигурационные регистры ADS5296а адресуются 8-битным адресом, позволяющим адресовать до 256 регистров. Однако в данной разработке используется лишь 16, наиболее полезных (с нашей точки зрения) регистров. (В случае крайней необходимости, этот список может быть дополнен) Поэтому, для экономии адресного пространства карты, адреса регистров были переопределены на 4 бита. Соответствие внутреннего адреса ADC регистра и соответствующего ему адреса в адресном пространстве карты приведено в таблице.

После включения питания и завершения процесса конфигурации FPGA, примерно через 20 ms, FPGA вырабатывает сигнал RESET, (Active Low) который поступает на все ADC. В результате во все регистры загружаются дефолтные значения. Далее FPGA вырабатывает последовательность сигналов, в результате которой во все ADC по адресам 0x07 и 0x46 загружается информация, соответствующая принятой конфигурации – (Enables interleaving of adjacent channel pairs, 10-bit/12-bit serialization mode). В результате все конфигурационные регистры ADC-s загружены информацией приемлемой для функционирования. При необходимости, пользователь может менять какие-то значения. Исчерпывающая информация о ADS5296а содержится в: <http://www.ti.com/lit/ds/symlink/ads5296a.pdf>

Output Data Format

Передача данных на компьютер (концентратор системы CROS-3) инициируется командой **0x03 – Soft Trigger Command**. Два первых слова – всегда **Device Header**. Если данные, на момент передачи **Device Header**-а отсутствуют, передается только **Device Header**.

Device Header, word1 –

- **Trigger Counter [3:0]** – 4-х разрядный двоичный счетчик. Модифицируется на +1 командой **0x03 – Soft Trigger**. Означает, в ответ на какой по порядку **Soft Trigger** передается данный буфер. Сбрасывается командой **0x05 – Clear**;
- **Err** – Error. Устанавливается в 1 если в процессе считывания предыдущего буфера был обнаружен либо некорректный формат данных либо некорректные данные (т. к. формат данных проверяется в процессе передачи данных на концентратор системы CROS3, т. е. уже после передачи HEADER-а). Сбрасывается командой **0x05 – Clear**;
- **Card # [3:0]** – Номер карты. Соответствует номеру разъема концентратора к которому подключена данная карта. Этот номер загружается автоматически при обращении с командой Initialize.

Device Header, word2 –

- **Sample # [4:0]** – Совместно с полем **Sample Modifier** определяет количество отсчетов на триггер = $((\text{Sample \#}) * 2^{(\text{Sample Modifier})})$. (для Config = 1...6) Определяется содержимым **Status Register 0**. Диапазон допустимых значений - 1 . . . 31;
- **Sample Modifier[2:0]** - Совместно с полем **Sample** определяет количество отсчетов на триггер. Диапазон допустимых значений 0 -5. Определяется содержимым **Status Register 0**;
- **Offset [3:0]** - Определяет количество отсчетов, которые предшествуют триггеру. Диапазон допустимых значений – 0 . . . 15. Определяется содержимым **Status Register 0**;

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	word		
Device Header		1	1	0	0	Card # [3:0]			Err	Reserved			Trigger Counter			1				
		0xC																		
Device Header		1	1	0	0	Off set [3:0]			Sample Modifier[2:0]			Sample # [4:0]			2					
		0xC																		
Event 1 = ((Sample #)*2 ^(Sample Modifier) + 4) words	Event 1 Header	1	1	1	0	SM[1:0]	Card # [3:0]			Channel # [5:0]					3					
		Overflow[3:0]				Sample Time 2 [43:32]											4			
		Sample Time 1 [31:16]																	5	
		Sample Time 0 [15:0]																	6	
	Event 1 Data Samples		0	0	0	0	Data Word 1 [11:0]													7
			0	0	0	0	Data Word 2 [11:0]													8
			0	0	0	0	Data Word 3 [11:0]													9
		0	0	0	0	Data Word 4 [11:0]													10	
		0	0	0	0	Data Word 5 [11:0]													11	
		0	0	0	0	Data Word 6 [11:0]													12	
Event 2 = ((Sample #)*2 ^(Sample Modifier) + 4) words	Event 2 Header	1	1	1	0	SM[1:0]	Card # [3:0]			Channel # [5:0]					13					
		Overflow[3:0]				Sample Time 2 [43:32]											14			
		Sample Time 1 [31:16]																	15	
		Sample Time 0 [15:0]																	16	
	Event 2 Data Samples		0	0	0	0	Data Word 1 [11:0]													17
			0	0	0	0	Data Word 2 [11:0]													18
			0	0	0	0	Data Word 3 [11:0]													19
		0	0	0	0	Data Word 4 [11:0]													20	
		0	0	0	0	Data Word 5 [11:0]													21	
		0	0	0	0	Data Word 6 [11:0] (Last Word)													22	

Event 1 Header, word3 –

- **Channel # [5:0]** – Номер канала, в пределах карты, к которому относится данный Event. Диапазон допустимых значений - 0 . . . 47;
- **Card # [3:0]** - Номер карты. Соответствует номеру разъема концентратора, к которому подключена данная карта. Этот номер загружается автоматически при обращении с командой **Initialize** (0 . . . 15).
- **SM [1:0] - Sampling Mode** – Регистр, который определяет период регистрации данных в соответствующем канале:

Sampling Mode	Период регистрации входных данных в данном канале
00	Sampling Rate
01	Sampling Rate / 2
10	Sampling Rate / 4
11	Sampling Rate / 8

(Данный режим не поддерживается при Config = 7, 8, 9 - Interleave, Double Interleave).

Event 1 Header, word4 –

- **Sample Time 2 [43:32]** – Старшие 12 разрядов Run Timer-а, соответствующие моменту получения триггера для данного Event-а;
- **Overflow [3:0]** – 4-х разрядный двоичный счетчик. Показывает, сколько триггеров было пропущено в данном канале перед тем, как был принят текущий триггер. Триггер пропускается и **Overflow** модифицируется на +1, если в L1 FIFO данного канала отсутствует достаточно места, для следующего Event-а. **Overflow** сбрасывается в 0 после приема триггера и помещения его значения в Header. **Overflow** сбрасывается также командой **0x05 – Clear**. Если **Overflow** = 0xF, это означает, что было пропущено 15 или более триггеров.

Емкость канального L1 FIFO равна 1024 слова. (Config = 1..6) При **Sample #** = 31 и **Event Modifier** = 0 длина Event-а составляет 34 слова. Т е в этом случае каждый из каналов способен хранить в своем L1 FIFO минимум 30 Event-ов (максимум 256). По мере поступления данных в L1 FIFO-s, они перегружаются в выходное L2 FIFO емкостью 16k слов, до его заполнения. Таким образом, карта располагает 1k x 48 = 48k - L1 FIFO и 16k - L2 FIFO, степень заполнения которого отражает **Read Data Counter**.

Event 1 Header, word5 –

- **Sample Time 1 [31:16]** – Средние 16 разрядов **Run Timer**-а, соответствующие моменту получения триггера для данного Event-а.

Event 1 Header, word6 –

- **Sample Time 0 [15:0]** – Младшие 16 разрядов **Run Timer**-а, соответствующие моменту получения триггера для данного Event-а.

Event 1 Data Samples, words 7 – 12

- **Data Word [11:0]** – Data Samples: $((\text{Sample \#}) * 2^{(\text{Sample Modifier})})$ words

Event 2 Header, words 13 – 16

Event 2 Data Samples, words 17 – 22.

Card ASF48cfg Specification

Channels / Card	48/24/12
Channels / System maximum	48 x 16 = 768
Target DAQ System	CROS-3: <ul style="list-style-type: none">• CCB16-B Top Level Concentrator• CBS-B CROS-3 System Buffer (PCI Card)
Sampling Rate	(10, 20, 40, 50, 80, 100, 160, 200, 400) MHz
Sampling to discriminator delay	Sampling Period * 14
ADC resolution	10/12 bit
Sample Number / Trigger	(1 – 31), (2 – 62), (4 – 124), (8 – 248), (16 – 496), (32 – 992)
Offset Before Trigger	0...15 / 0...30 / 0...60
Self Trigger Mode	Individual for each channel
Threshold	Individual for each channel (0x000...0xFFF)
Sampling Mode	Individual for each channel
Only for non-interleave modes	Sampling Rate / 2, Sampling Rate / 4, Sampling Rate / 8
External Trigger Mode	Common for all channels
Distance between nearest triggers	(Sample Number + 6) * 15.38 ns (for each channel) (If a channel has enough memory space for next event)
Channel's L1 FIFO	48 x 1024 / 24 x 2048 / 12 x 4096 - 16-bit words
Output L2 FIFO	16384 16-bit words
Sample Timer	44-bit, 100 MHz, 48 hours (Common for all channels)
Serial Link (signal levels, bit rate)	LVDS, 100MBPS
Card size	100 x 160 mm
Power supply	Single + 3.8V, 2.7A (10,3W)

References

1. Advanced Front End Signal Processing Electronics for ATLAS CSC System: Status And Post Production Performance. Sachin S Junnarkar, Anand Kandasamy, Paul O'Connor
Brookhaven National Laboratory, Upton, NY, 11973, USA

2. N.F. Bondar, V.L. Golovtsov, A.G. Golyash, E.A. Lobachev, L.N. Uvarov, S.L. Uvarov, V.I. Yatsura,
Third Generation Coordinate RedOut System – CROS-3,
PNPI High Energy Physics Division Main Scientific Activities 2002-2006, p.335

3. V.L. Golovtsov, E.M. Spiridenkov, L.N. Uvarov, S.L. Uvarov, V.I. Yatsura,
CROS-3B – Coordinate ReadOut System (New Drift Chamber Version) To be published in PNPI High
Energy Physics Division Main Scientific Activities 2006-2012

4. V.L. Golovtsov, E.M. Spiridenkov, L.N. Uvarov, S.L. Uvarov, V.I. Yatsura

CROS-3L – Coordinate Readout System (LHCb Test Stand Version)

To be published in PNPI High Energy Physics Division Main Scientific Activities 2006-2012