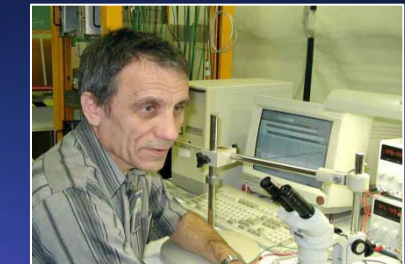
The background of the slide is a scenic landscape. In the foreground, there are rolling green hills. A river flows through the middle ground, with a waterfall on the right side. The background shows more mountains under a clear blue sky. The text is centered in a white box with a thin black border.

**Лаборатория Радиоэлектроники
2010/ 2011
Отчёт и планы**

Лаборатория радиоэлектроники- 2010

Всего Сотрудников	25
Научных Сотрудников	9
В том числе кандидатов наук	1
Инженеров	10
Техников	6
Женщин	9
Мужчин	16
Средний возраст, лет	55,5
Работающих экспериментальных установок с электроникой ОРЭ/ЛРЭ	10
Разрабатываемых систем электроники	2
Изданных печатных работ	75
Выступлений на конференциях и семинарах	4
В том числе – на семинаре ОФВЭ	0

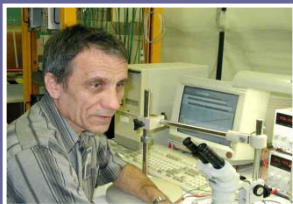


Структура Лаборатории радиоэлектроники - 2010



Тематические группы : 5 Тематических групп – 18 чел

Поддержка экспериментов CMS, LHCb, D0 etc



CMS-CSC Track Finder
ATLAS-TRT Self Trigger



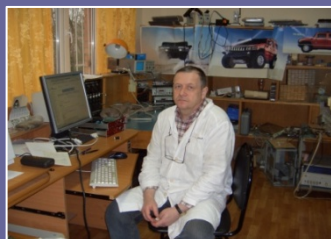
CROS3 Readout



HV Systems



TS Initial



Производственные группы

Монтажный участок
3 чел



Группа комплектации
3 чел

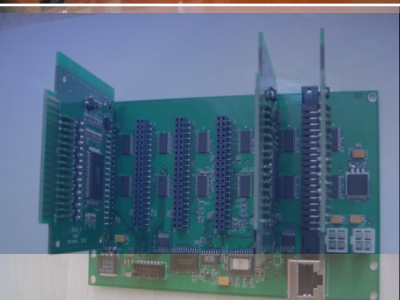


Основные тематические группы - 2010

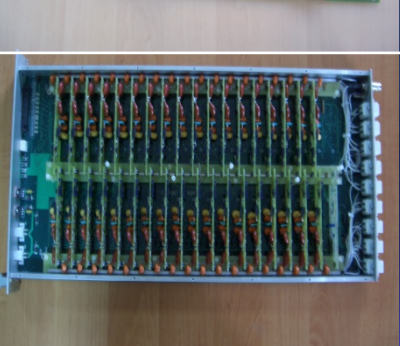
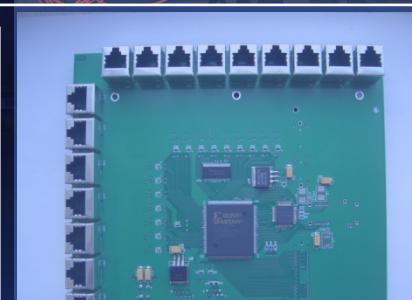


CMS-EMU Track Finder :
Головцов В.Л., Уваров Л.Н.

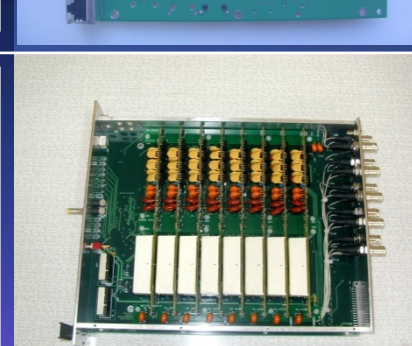
ATLAS-TRT Self Trigger:
Головцов В.Л., Уваров Л.Н., Яцюра В.И.



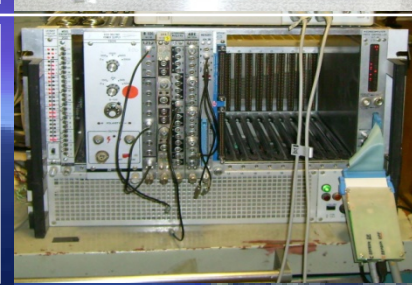
CROS3 Readout (LAND, SC150/ HISP, TS...)
Головцов В.Л., Уваров Л.Н., Яцюра В.И.
Спириденков Э.М., Уваров С.Л., Лобачёв Е.А.



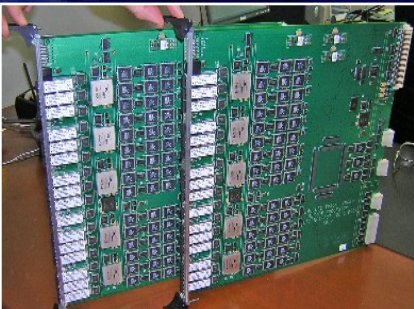
HV Systems
Волков С.С., Исаев Н.Б., Сергеев Л.О.
Бондарев С.В., Мыльникова А.В.
Орицин ЕМ.



TS Initial
Спириденков Э.М., Грузинский Н.В., Яцюра В.И.
Уваров С.Л., Неустроев П.В.
Денисов А.С. Поляков В.В.



CMS CSC Track Finder History



Серийные модули
Процессора

Track Finder разработан для мюонного триггера CMS. Реализован как 12 Процессоров, каждый из которых идентифицирует до 3 лучших мюонных треков в 60-градусном азимутальном секторе. Анализирует входные примитивные треки (сегменты) от индивидуальных камер, восстанавливает полные треки по четырём камерам, измеряет поперечный импульс P_t

1999-2001 - выпуск первого Прототипа (SP01), отладка и тест

Август 2001 : новое идеологическое решение – реализация второго прототипа Процессора на одной сверхбольшой микросхеме FPGA. Кардинальное улучшение характеристик

2002-2003 – выпуск Прототипа SP02, отладка и тест

2004 – выпуск Прототипа SP04, отладка и тест

2005 – выпуск пилотной серии SP05 и массовое производство SP05

2006 – отладка и тест Модулей SP05, связь с DAQ, развитие Firmware

2007 - 2008 – отладка в составе распределённой мюонной триггерной системы, связь с DAQ, DT, GMT, развитие Firmware, пробный пучковый запуск

2009 – модификация Firmware, подготовка к пучковому запуску в составе распределённого мюонного триггера, первые пучковые данные

2010 – набор данных 7 ТэВ, модификация Firmware, модификация Software

CSC Track Finder Data Rate 2010

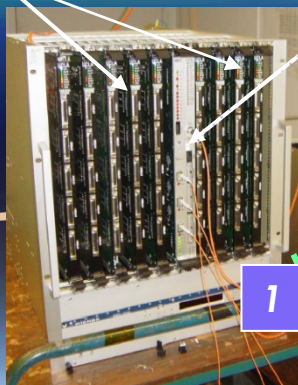


1

Mounted in Discs in UXC

9 TMB- modules

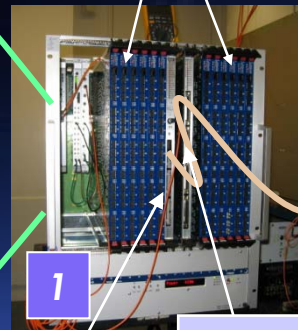
MPC- modules



1

Counting House in USC

12 SP05- modules



1

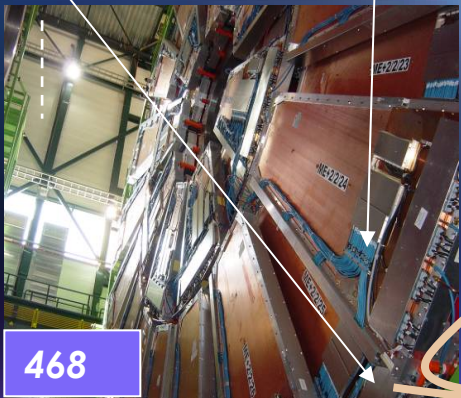
To Global Trigger Crate

MS- module

TTC- module

AFE - cards

ALCT - cards



468



60

60

On-Chamber Electronics:
37 bytes/BX/Chamber
6064 Copper Cables

Peripheral Crates:
12 Bytes/BX/Sector
180 Optical Cables

Track Finder Crate:
16 Bytes/BX/CSC
4 SCSI-II Cables

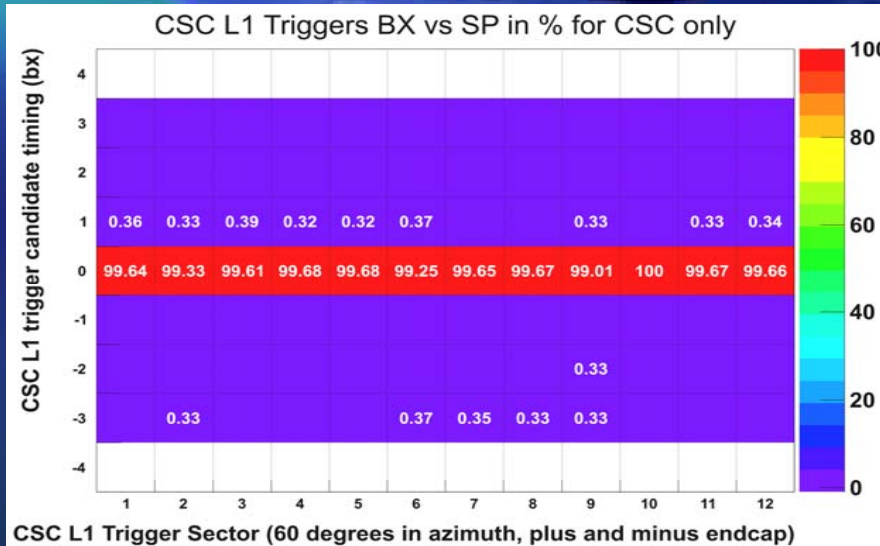
700 GByte/s

30 Gbyte/s

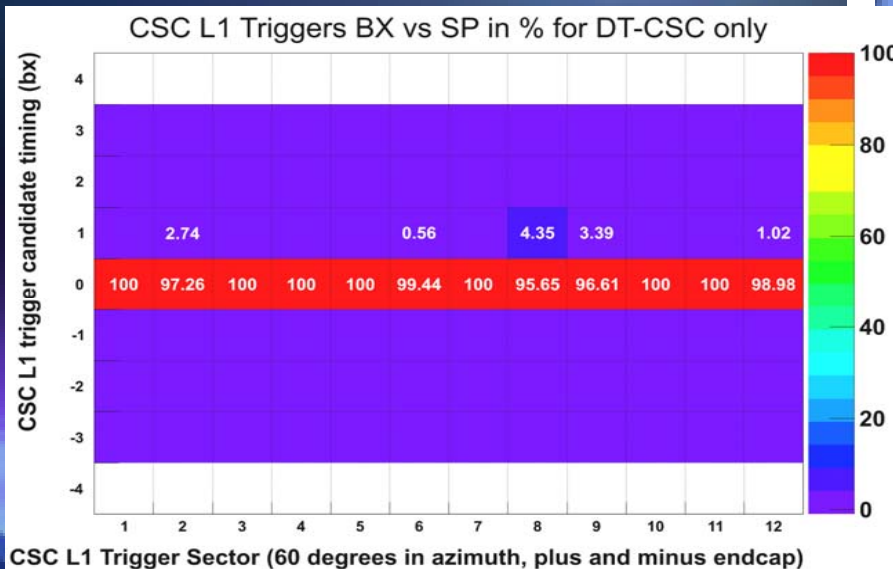
640 Mbyte/s

FQPFMP

CMS CSC Track Finder Timing 2010

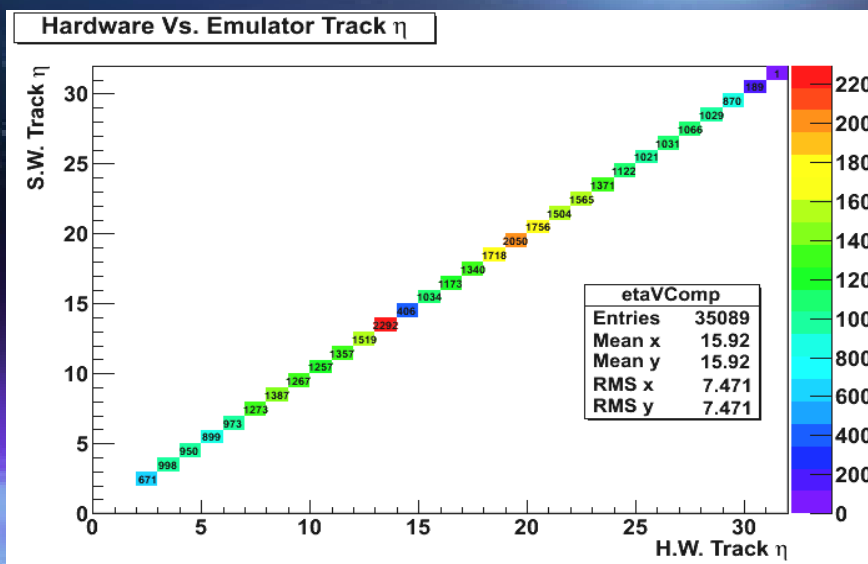
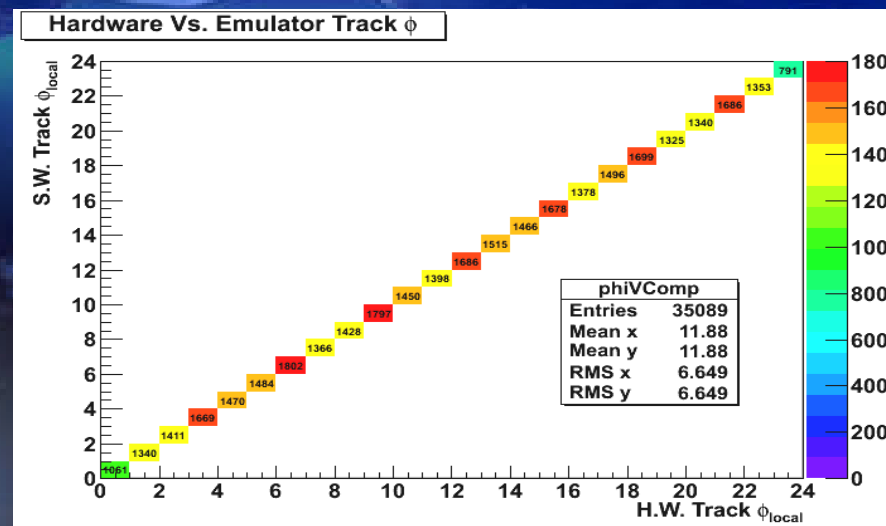
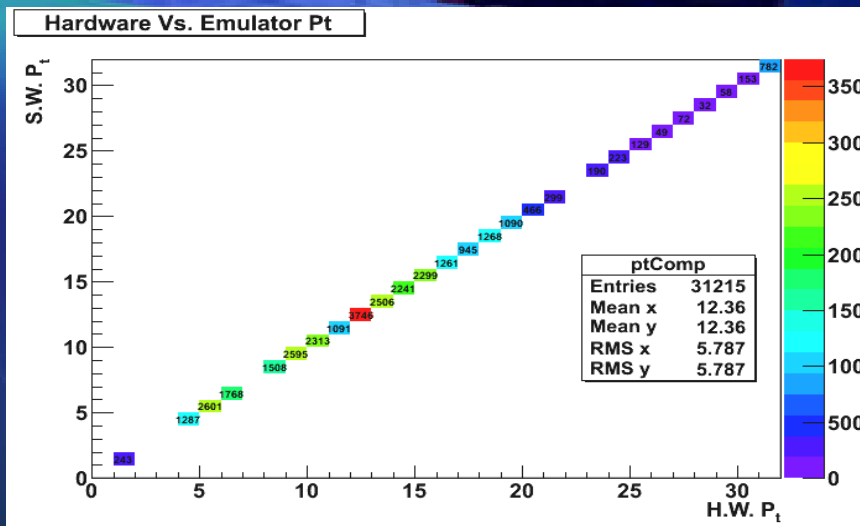


A very nice timing at CSCTF input.



Good synchronization timing between CSC & DT.

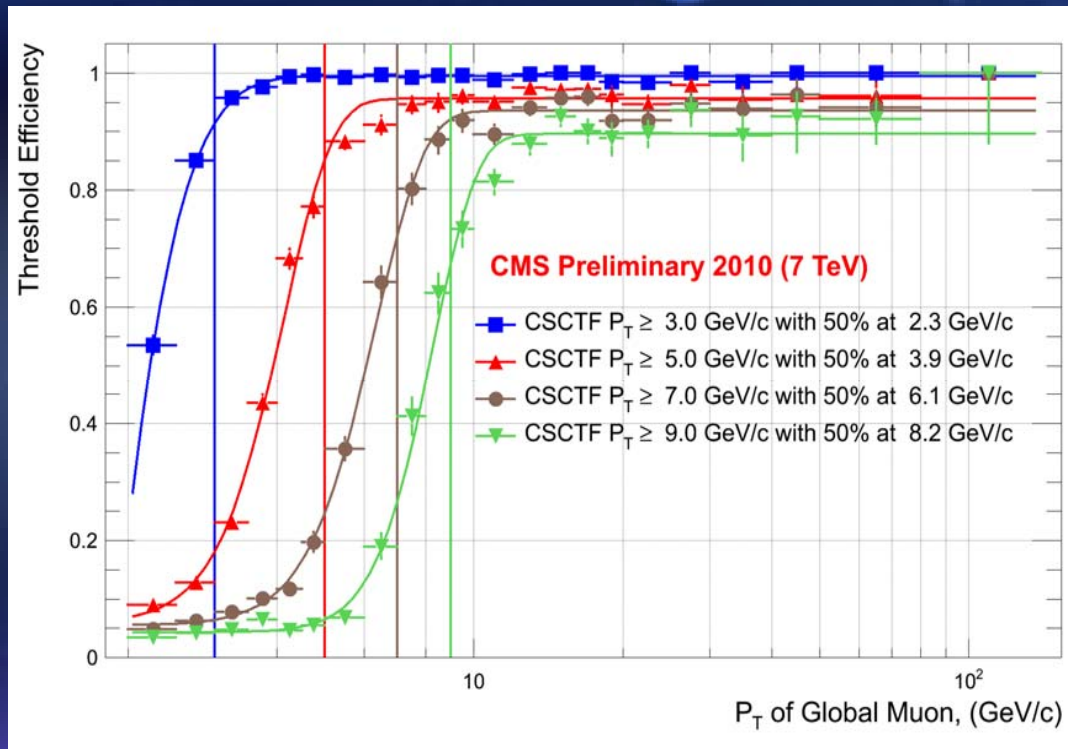
CSC Track Finder DQM Quality Tests.



A very good agreement
between Data & Emulator.

CMS EMU Track Finder 2010

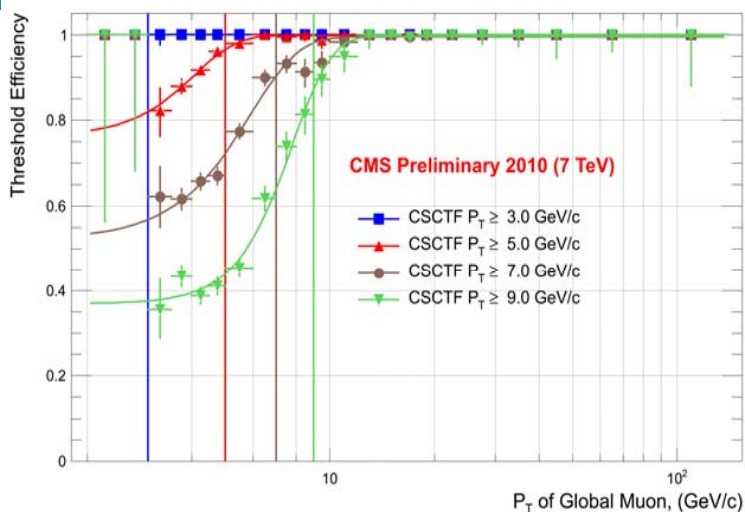
Pt assignment in golden eta region $1.2 < \eta < 2.1$



✓ The plateau decreased w.r.t the an increase on P_T threshold.
It might be due to pt cut not well optimized? Needs more improvements...

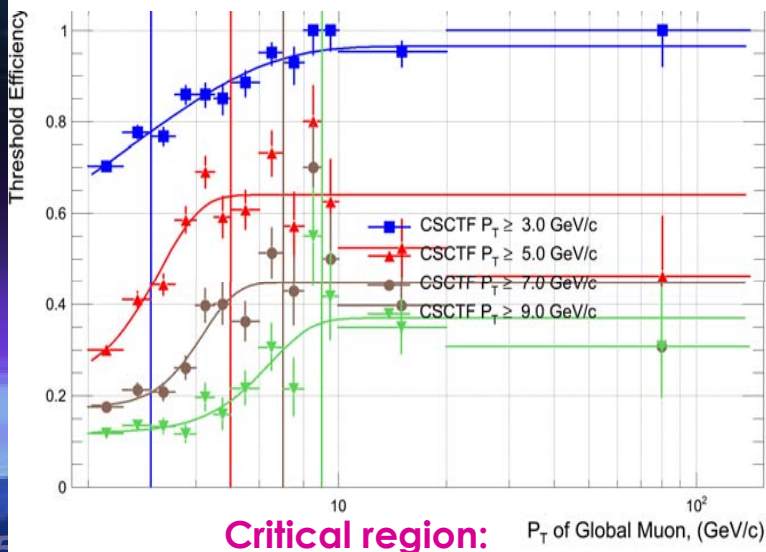
P_T assignment in the overlap (CSC/DT) and High eta regions

Overlap eta region: $\eta \leq 1.2$ in 2010



- We expect a significant improvement due to
 - fix of DT/CSC communication
 - > good resolution in $\Delta\phi$
 - using ϕ_{bend} from DT stubs
- We would expect a better resolution using the new P_T LUTs .

High eta region: $\eta > 2.1$ in 2010



- ✓ Taking in to account 3 link readout system in ME1/1a station to get 90% efficiency needs to:
 - Assign the P_{T_Max} from any 3 possible combinations
 - This will be true only if we manage to control the rate for low P_T tracks contribution
 - needs Min_Bias Monte Carlo study ...

FQPFMP

CSC TF Firmware updates

New Firmware for 2011:

- ❖ Implement all possible track combinations between DT and CSC stubs in the overlap region ($0.9 < |\eta| < 1.2$):
 - DT and (ME1 or ME2 or ME3)
 - DT-ME1 and (ME2 or ME3)
 - DT-ME2-ME3
- Currently we have only 2 tracks combined between DT/CSC which are:
 1. DT-ME1-ME2,
 2. DT-ME2
- ❖ Implement an additional zero suppression to avoid any increase in the rate at 100KHz (the firmware is ready, needs to be tested):

<http://www.phys.ufl.edu/~uvarov/>

CSC TF Plan 2011

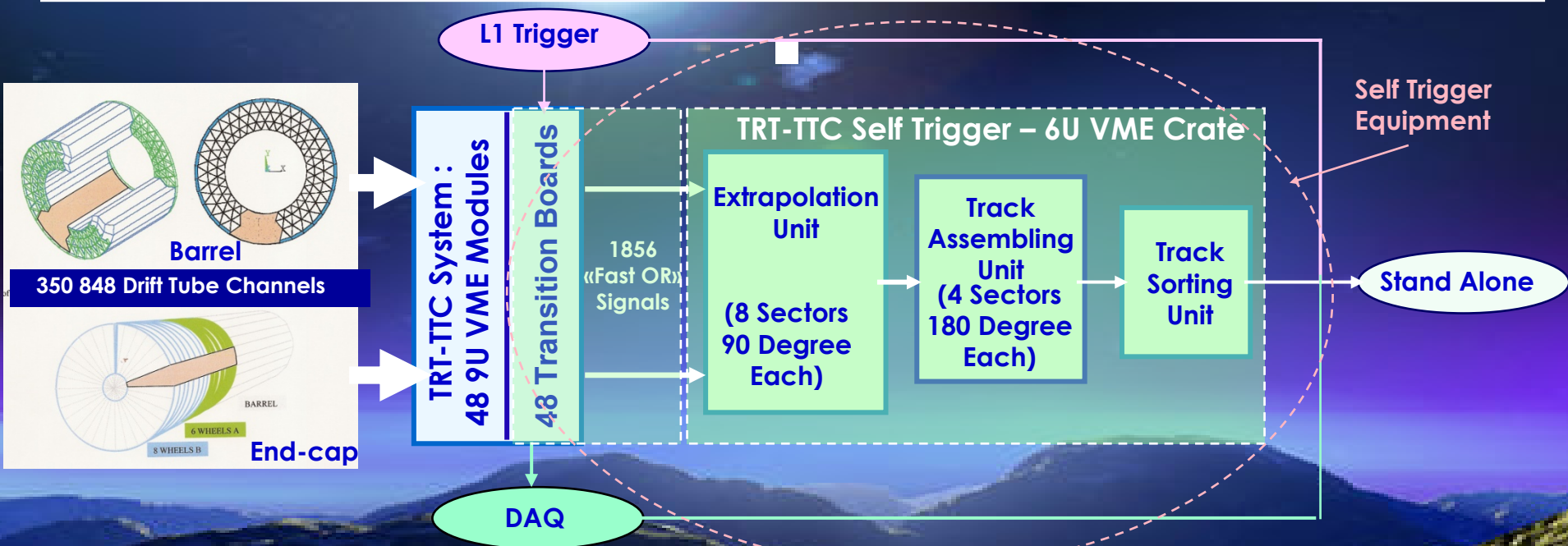
- Plans for 2011
 - New firmware.
 - Update P_T LUT Assignment.
 - Ghost cancellation issue at high eta.
 - CSCTF Efficiency improvement.
 - Emulator/Data CSCTF quantities implementation in to L1 online DQM.

ATLAS-TRT Self Trigger

Триггер предназначен для отбора первого уровня с использованием трековой информации сигналов «Быстрое ИЛИ» подсистемы ATLAS-TRT.

Анализирует входные данные в пределах имеющихся географических зон детектора, определяет примитивные треки по сегментам, восстанавливает полные треки, сортирует их по критерию качества и вырабатывает сигнал триггерного решения

Уникальная особенность – обеспечение самозапуска в период регистрации космических мюонов во время отладки и запланированных остановок
Физические задачи – события $pp \rightarrow p\bar{p}e^+e^-$ с экстремально малым переданным импульсом и др.



Self Trigger-ATLAS History

Июль 2007 - начало проектирования в соответствии с начатым финансированием (Госконтракт К325)

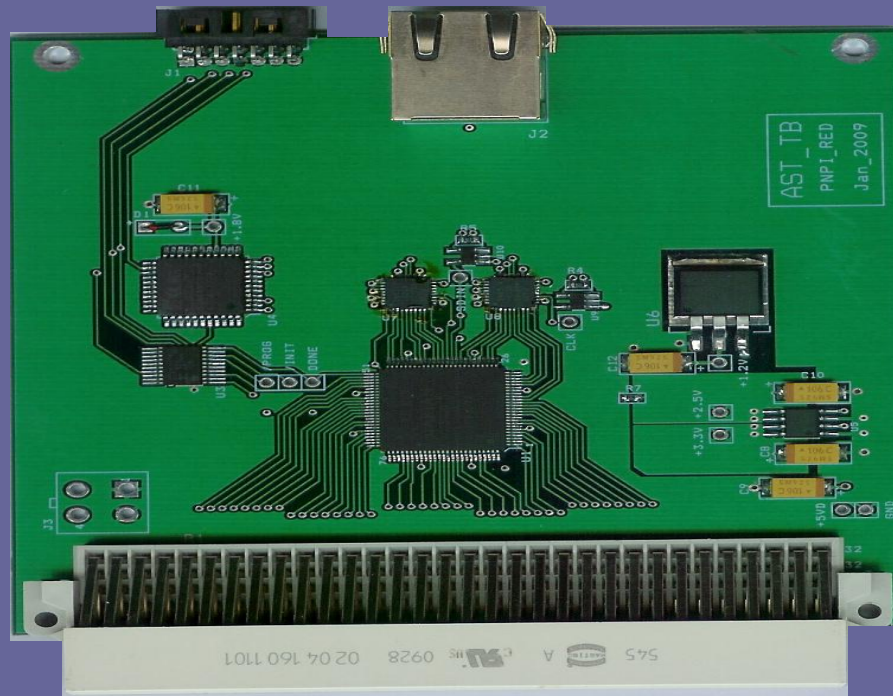
**Октябрь 2007 – доклад-предложение Проекта в ЦЕРНе.
Уточнение технического задания и плана на 2007 г.**

Этап 2007 – создание прототипа тестового стенда для исследования треков подсистемой ATLAS-TRT

Этап 2008 – 2009 - создание прототипа Self Trigger для подключения к модулям системы TRT-ТТС (Госконтракт К 494, К148)

Этап 2010-2011 - запуск прототипа Self Trigger с подключением к модулям системы TRT-ТТС

Self Trigger Transition Board – AST_TB



Receives 40 (36) Fast OR signals from TRT-TTC module

Provides alignment and digitizing of Fast OR signals by Clob Clock, which come from TF board

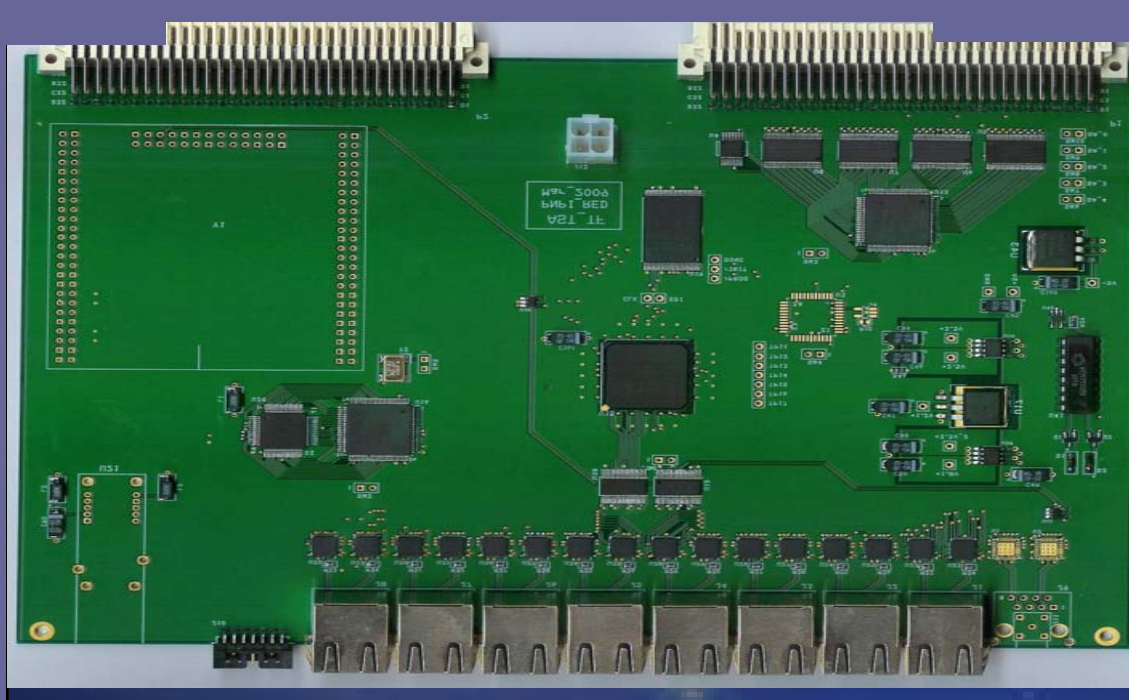
Provides primitive coincidence logic for geometrical zone, limited by 40 (36) FOR signals

Translates 20 bits as 2 best primitive segments to TF Module by two Serializers

Programmable Delay FIFO 5 ns step, 256 step range

Programmable Gate FIFO 25 ns step, 16 step range

Self Trigger Track Finder / Track Sorter Combined Board – AST_TF



As TF: Provides two best track segments for geometrical zone limited by 320 FOR signals

Extrapolates pairwise combinations of track segments. A successful extrapolation is assigned when two stubs lie within allowed windows of the geometrical coordinates

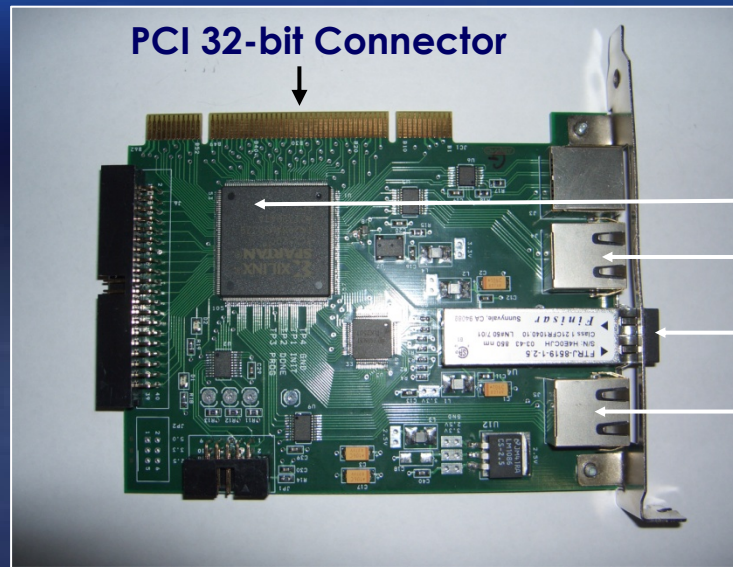
Examines successfully extrapolated track segments to see if a larger track can be formed (track assembling). A list of selected tracks is sent then for final selection

As TS : Provides final trigger decision according to track finder algorithm

Sorts pairwise combinations of track candidates .

A successful best candidate is assigned for final decision

Self Trigger PCI Interface/ Buffer



PCI 32-bit Connector

Xilinx 3XC3S200 FPGA

Trigger RJ45 Connector

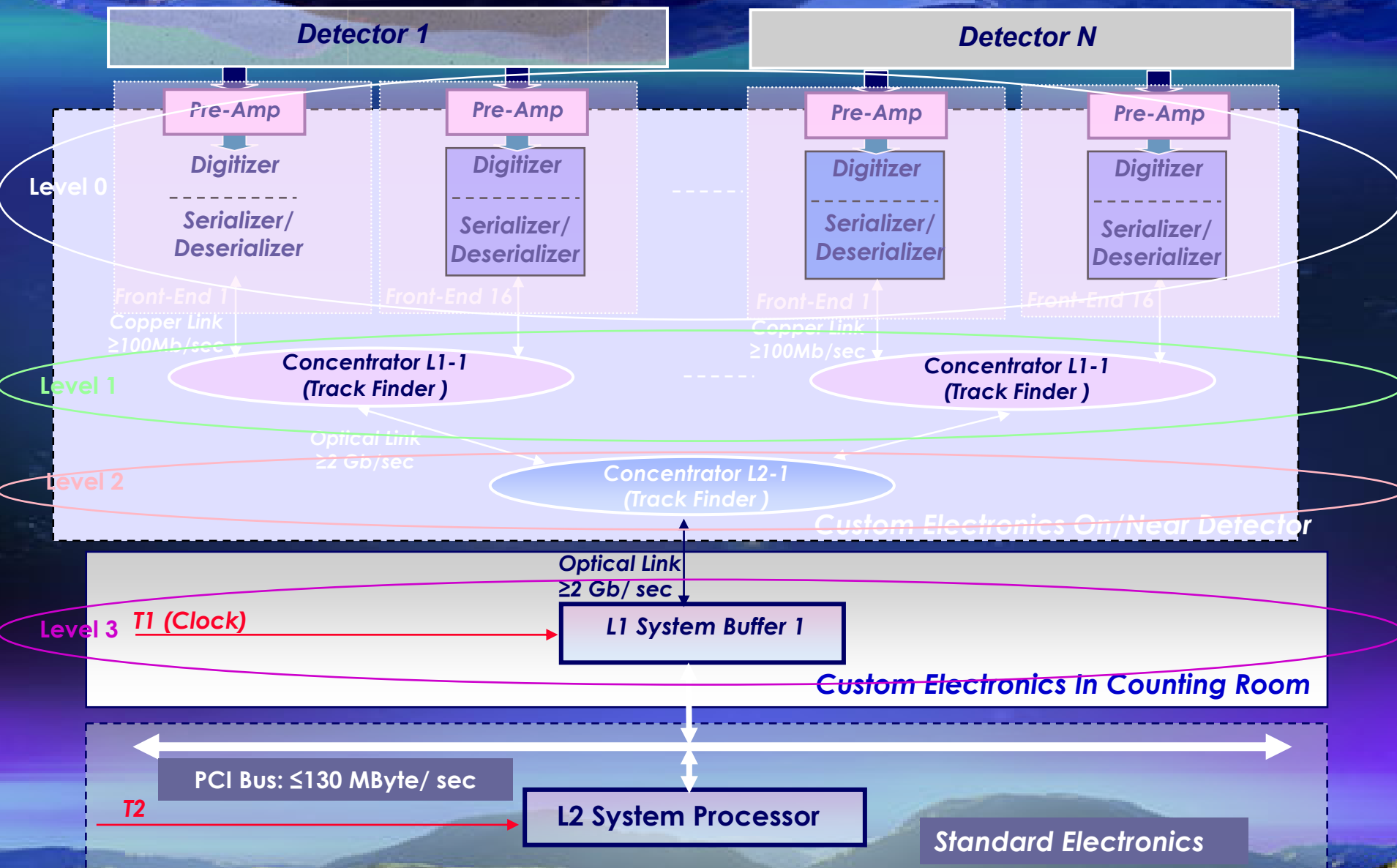
Optical Duplex Channel Connector

Serial Data Channel RJ-45 Connector

PCI System Interface/ Buffer:

- * PCI 32-bit Interface
- * Trigger LVDS Input
- * Optical Finisar 2.1 GB/s Transceiver
- * Power Consumption ~300 mW
- * Digitizing Clock 100 MHz

CROS3 Комплекс Систем Считывания



В экспериментальных установках применяется 4 разновидности систем CROS3

CROS3_DC Изделия



AD_FE16 16 –Channel Amplifier/Digitizer:

Based on ASD_Q + FPGA

- * Peaking time 7 ns
- * Operational Threshold 2-3 fC
- * Double pulse resolution 20 ns
- * Power Consumption 30 mW/ch
- * Programmable Delay 10 ns step
- * Programmable Gate 2.5 ns step



CCB_16G Concentrator (GSI Option):

- * 16 In-Out LVDS Serial Links 100 Mb/ s rate
- * Optical Finisar 2.1 GB/s Transceiver
- * GSI GTB Adapter Optional
- * Power Consumption ~300 mW



CSB System Interface/ Buffer:

- * PCI 32-bit Interface
- * Trigger LVDS Input
- * Optical Finisar 2.1 GB/s Transceiver
- * Power Consumption ~300 mW
- * Digitizing Clock 100 MHz

512- канальная система CROS3_DC с двумя дрейфовыми камерами

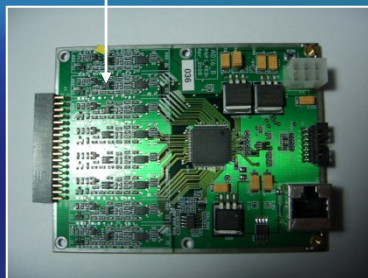
С ноября 2006 работает в установке LAND (GSI)

Рекламаций не поступало

Продолжение работы в 2011

CROS3_B - SFB/ TR-16/B1 Spectrometer (Bonn)

Discrete Option
instead of ASD_Q



AD16_B 16 –Channel Amplifier/Digitizer:

Based on discrete elements + FPGA

- * Peaking time 7 ns
- * Operational Threshold 2-3 fC
- * Double pulse resolution 20 ns
- * Power Consumption 30 mW/ch
- * Programmable Delay 10 ns step
- * Programmable Gate 2.5 ns step

CCB_B Concentrator :

- * 16 In-Out LVDS Serial Links 100 Mb/ s rate
- * Optical Finisar 2.1 GB/s Transceiver
- * Power Consumption ~300 mW

CSB_B System Interface/ Buffer:

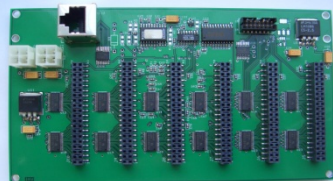
- * PCI 32-bit Interface
- * Trigger LVDS Input
- * Optical Finisar 2.1 GB/s Transceiver
- * Power Consumption ~300 mW
- * Digitizing Clock 100 MHz

Всего к выпущено и установлено 2500 каналов
2008 – 2009 - 2100 каналов
2010 – 400 каналов + дополнительно 48 каналов
для тестирования прототипа дрейфовой камеры
2011 - запуск

CROS3_PWC Система СЧИТЫВАНИЯ



16_AD: 16 –Channel Amplifier/Discriminator
Based on GMP-16_G ASIC *
Peaking time 30 ns * Minimum Threshold 7 fC *
* Double pulse resolution 80 ns *
Power Consumption 30 mW/ch



CDR_96 – 96 Channel Digitizer:
* Six 16_AD Cards on Board * Serial LVDS Link
* Programmable Delay 10 ns step
* Programmable Gate 10 ns step
* 100 MHz Digitizing Clock
* Power Consumption 500 mW



**Детекторная Сборка
на 96 каналов**



CCB_16 Concentrator:
* 16 In-Out LVDS Serial Links Trigger LVDS Input
* Optical Finisar 2.1 GB/s Transceiver
* Power Consumption ~300 mW * Digitizing Clock 100 MHz

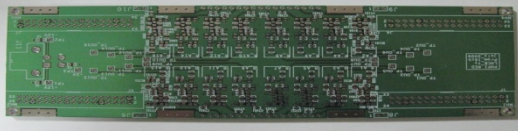


CSB System Interface/ Buffer:
* PCI 32-bit Interface * Trigger LVDS Input
* Optical Finisar 2.1 GB/s Transceiver
* Power Consumption ~300 mW * Digitizing Clock 100 MHz

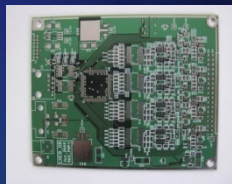
2300 каналов системы на пучке НЭС в Измерительном зале с Декабря 2007 г.
2011 – Продолжение поддержки системы + дополнительное производство ССВ16

CROS3_TS Структура

16- Channel Amplifier



4- Channel Digitizer



16 – Channel Amplifier/Digitizer:
Based on discrete elements + FPGA

- * Peaking time 7 ns
- * Operational Threshold ≤ 15 fC
- * ADC per channel 10 bit resolution
- * Programmable Delay 10 ns step
- * Time measurement 2.5 ns step



CCB_B Concentrator :

- * 16 In-Out LVDS Serial Links 100 Mb/ s rate
- * Optical Finisar 2.1 GB/s Transceiver
- * Power Consumption ~300 mW

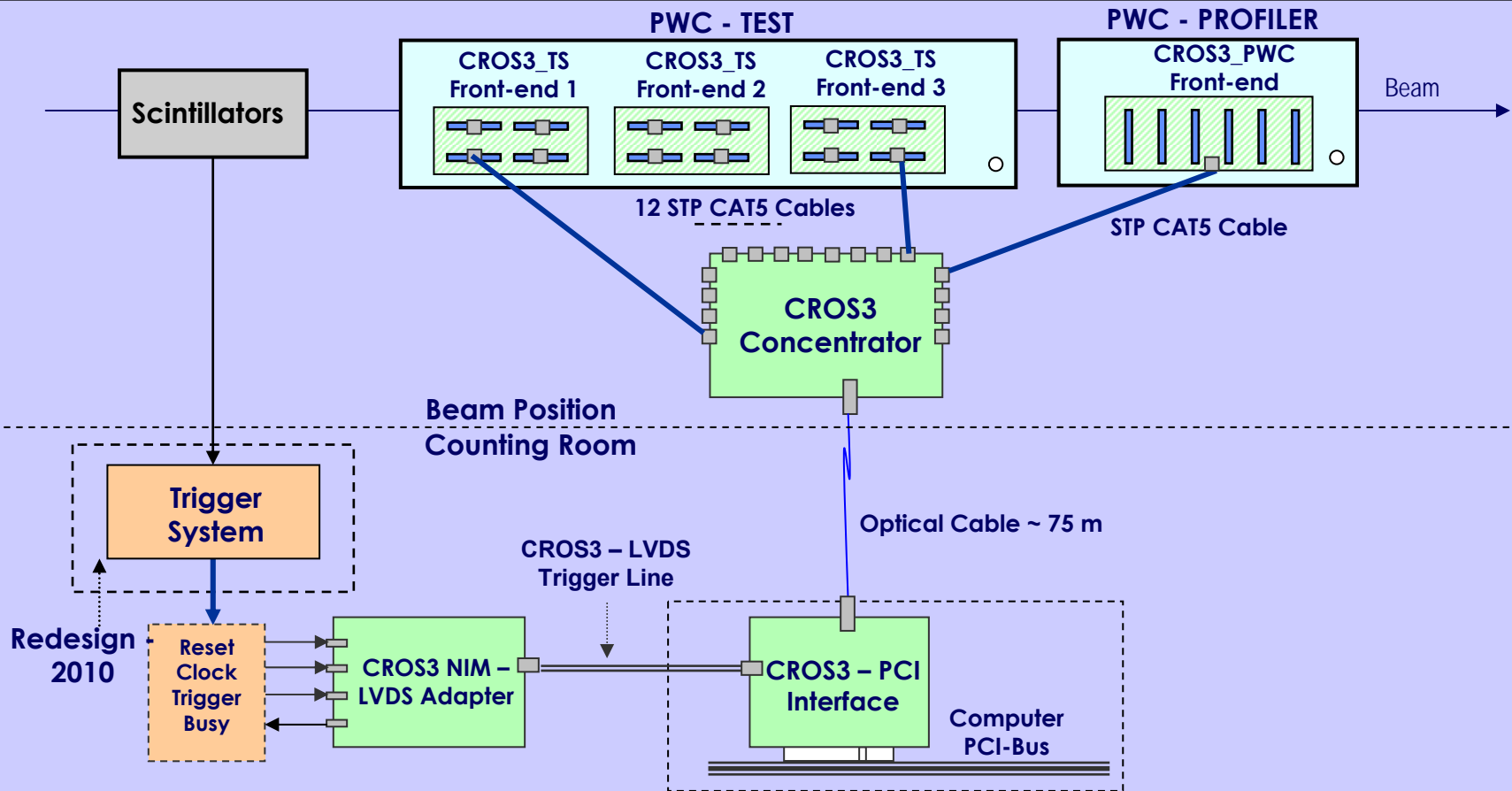


CSB_B System Interface/ Buffer:

- * PCI 32-bit Interface
- * Trigger LVDS Input
- * Optical Finisar 2.1 GB/s Transceiver
- * Power Consumption ~300 mW
- * Digitizing Clock 100 MHz

2010 – 48 канальная система изготовлена и установлена на камере LHCb
2011 – эксплуатация

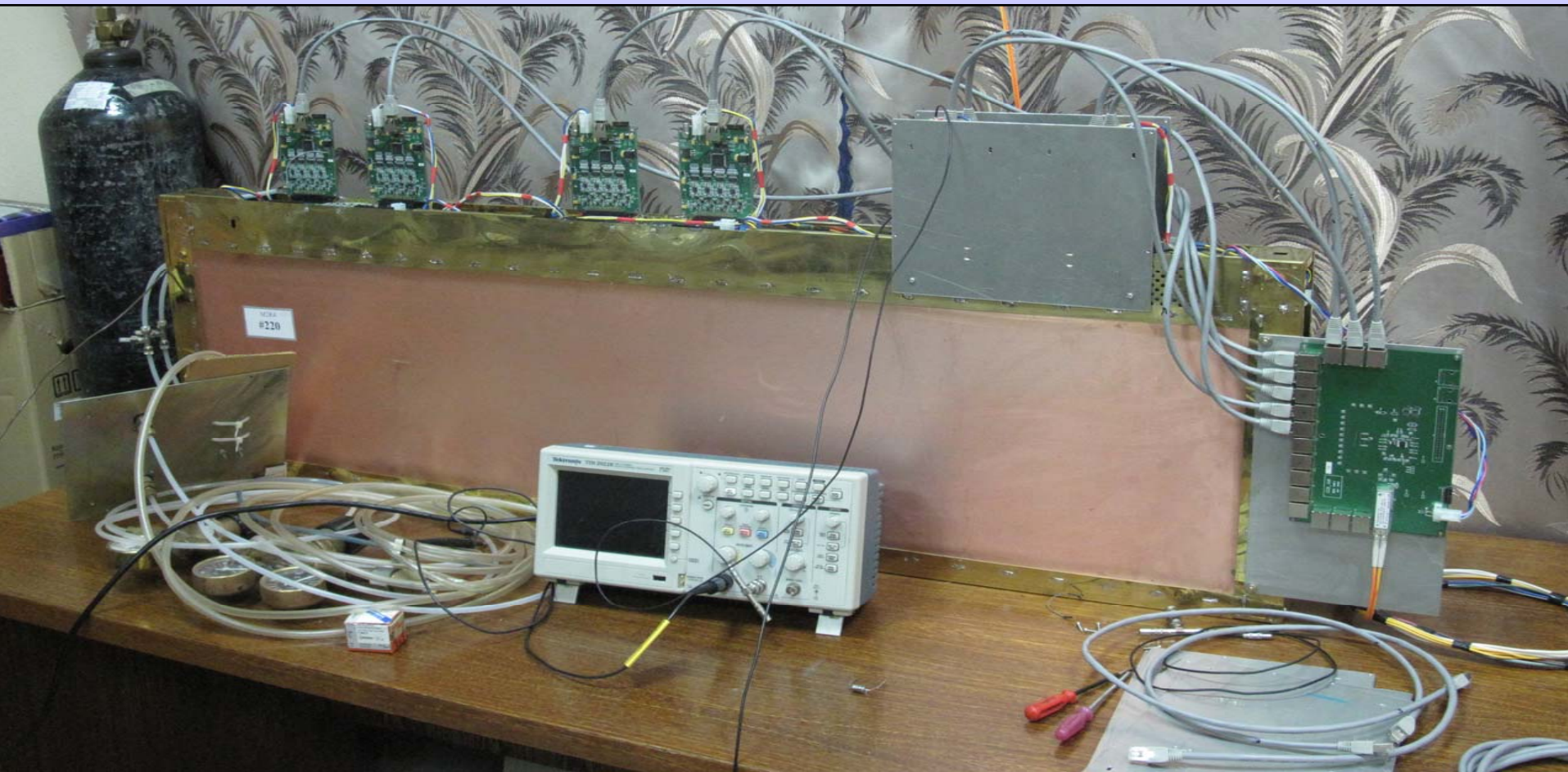
CROS3_TS применение



CROS3_TS на Тестовом стенде

Тестовый стенд камер LHCb

27.12. 2010



Разработка TS Триггерной системы и более того



Создание базы для разработки модулей общего применения современного уровня (аналоговая обработка сигналов детекторов, триггеры 0 и 1 уровня, системы счетчиков, амплитудный и временной анализ и т.д.)

Базовый стандарт 6U VME
Этап 2010 – плата Триггерной системы TS
с мезонинной картой программируемой логики + USB2

Этап 2010 - изучение возможностей базового элемента интерфейса EZ USB FX2L 68013A

На базе мезонинной карты, как пример приложения сделан интерфейс PC-USB2- CC217.10 (PC CAMAC)
Разработаны первые версии firmware и software для PC/NB /Windows XP2 и продемонстрировано их функционирование на стенде

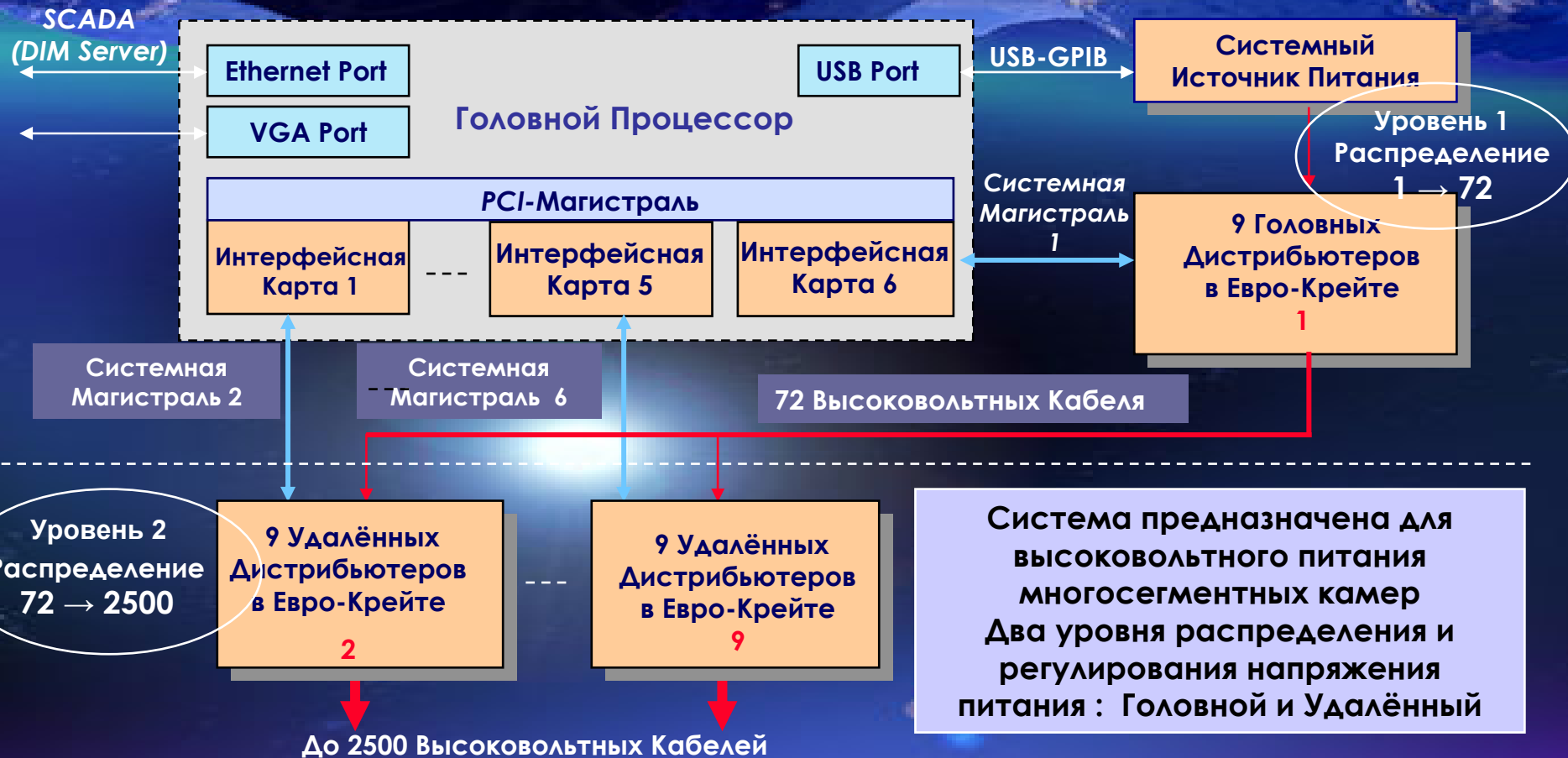
4-канальный осциллограф LeCroy WS-64Xs-A

- полоса пропускания 600 МГц, частота дискретизации 2.5 ГГц
- память 10 Мб/ канал

18-канальный логический анализатор LeCroy MS-250

- тактовая частота входных сигналов 250 МГц
- частота дискретизации 1 ГГц, память 10 Мб/канал

CMS/ ЛНСб Система Высоковольтного Питания



Система предназначена для высоковольтного питания многосегментных камер
Два уровня распределения и регулирования напряжения питания : Головной и Удалённый

Система обеспечивает индивидуальное регулирование и мониторинг напряжения, мониторинг тока и напряжения в каждом сегменте

Нелинейная шкала измерения : до 1 мкА \leq 50 нА, более 1 мкА \leq 10%

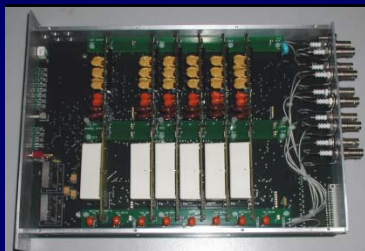
Точность измерения и регулирования напряжения: \leq 50 V

Диапазон регулирования напряжения группы 36 и более каналов – в пределах 4 KV

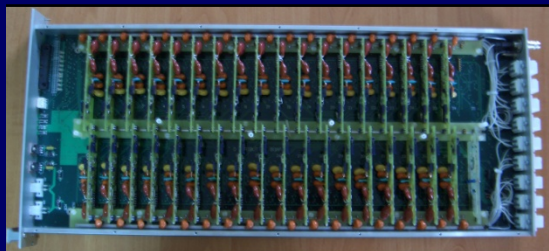
Диапазон индивидуального регулирования – в пределах 1KV

CMS/ LHCb Система Высоковольтного Питания

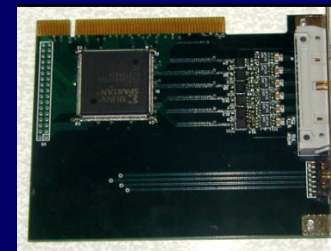
Головной Дистрибьютор



Удалённый Дистрибьютор



Интерфейсная Карта



Июнь 2003: Выигрыш тендера у CAEN на производство системы в 11000 каналов для CMS

2004- 2006: Производство 11000 каналов Системы UFL/PNPI CMS

2006- 2007: Установка и отладка Системы в ЦЕРНе

Октябрь 2005: Выигрыш тендера у CAEN на производство системы в 2000 каналов для LHCb

2006- 2007: Производство 2000 каналов Системы (LHCb ~ 50%)
и Устройства Параллельного Подключения Камер

2008: Установка и отладка Системы в ЦЕРНе

2009: Отладка на пучке, производство дополнительно 200 каналов Системы
Создание программного обеспечения для уточнения калибровочных таблиц

2010 -2011: Возможно производство оставшихся 2000 каналов (при наличии средств)

2000 каналов Высоковольтной системы ЛНСб

**Возможный сценарий производства основе план-графика
Н. Бондаря**

Февраль – Сентябрь 2011

- 1. Производство плат, приобретение евромеханики:
- 1 февраля – 30 марта**
- 2. Монтаж плат и модулей :
- 30 марта – 15 августа**
- 3. Тест модулей
- 30 апреля – 15 сентября**
- 4. Отправка в ЦЕРН – 15 сентября**

Заключение



CROS3, Self Trigger, Thesis !!! ...



Track Finder

С НОВЫМ 2011 ГОДОМ!